

DAQ

PCI-DIO-96/PXI-6508/PCI-6503 사용자 매뉴얼

PCI, PXI 및 CompactPCI 용 96 비트 및 24 비트 병렬 디지털 I/O 인터페이스

전세계 기술 지원 및 제품 정보

ni.com

전 세계 현지 사무소

ni.com/niglobal 을 방문하여 최신 연락 정보, 지원 전화번호, E-메일주소 및 이벤트 정보를 제공하는 각 사무소의 웹 사이트에 접속할 수 있습니다.

National Instruments 본사

11500 North Mopac Expressway Austin, Texas 78759-3504 USA 전화 : 512 683 0100

추가적인 지원 정보는, [기술 지원과 전문 서비스](#) 부록을 참조하십시오. National Instruments 문서에 대한 문의사항은 National Instruments 웹 사이트의 ni.com/info 에서 정보 코드 feedback 을 입력하십시오.

중요한 정보

보증

PCIDIO-96, PXI-6508, PCI-6503 은 재료나 기술에 있어서의 결함에 대하여는 영수증 또는 다른 부속 문서에 의해 확인되는 선적일로부터 일 년의 기간동안 보증됩니다. National Instruments 는 보증 기간 동안 결함이 있는 것으로 증명된 설비에 대하여 회사의 적절한 판단에 따라 이를 수리하거나 교체할 것입니다. 이와 같이 보증되는 범위는 부품과 인건비를 포함합니다.

귀하가 National Instruments 소프트웨어를 받은 미디어에 대하여 영수증 또는 다른 문서에 의해 확인되는 발송일로부터 90 일 동안 재료나 기술에 있어서의 결함으로 인하여 programming instructions 의 실행에 있어서 오류가 없을 것을 보증합니다. 만약 National Instruments 가 보증 기간동안 그러한 결함에 대한 통지를 받는다면 National Instruments 는 programming instructions 를 실행하지 못하는 소프트웨어 미디어에 대해서는 회사의 적절한 판단에 따라 이를 수리하거나 교체할 것입니다. National Instruments 는 소프트웨어의 작동이 중단되지 않거나 에러가 발생하지 않을 것이라고 보증하지는 않습니다.

어떠한 설비가 보증 작업의 대상이 되기 위하여는 공장에서부터 '제품 반환 공인' 넘버가 붙여져야 하며 그 상자의 바깥 부분에 명확히 그 넘버가 표시되어 있어야 할 것입니다. National Instruments 는 반환하기 위해 발송하는 비용을 소유자 측에 지불할 것이며 이는 보증에 의해 보호되는 내용입니다.

National Instruments 는 이 문서에 있는 정보가 정확하다고 믿습니다. 이 문서의 기술적인 정확성은 면밀하게 검토되었습니다. 기술적인 오류나 오다가 있는 경우에는 National Instruments 는 이 문서의 이변 '판'을 보유한 분에게 사전의 통지를 하지 않고 이 문서의 이후의 '판'을 변경할 권한을 보유합니다. 이 문서를 읽는 분은 에러가 의심된다면 National Instruments 와 상담하여야 합니다. 어떤 경우에도 National Instruments 는 이 문서와 그 안에 포함되어 있는 정보로부터 발생하는 또는 그와 관련하여 발생하는 손해에 대하여 아무런 책임이 없습니다.

National Instruments 는 이 문서에 규정되어 있는 사항을 제외한 다른 사항들에 대해서는 명시적으로든 묵시적으로든 아무런 보증을 하지 않으며 특히 시장성 (MERCHANTABILITY) 이나 특정 목적에 대한 적합성에 대하여는 어떠한 보증도 인정하지 않습니다. National Instruments 측의 과실이나 부주의로 인한 손해를 회복하기 위한 고객의 권리는 고객이 그에 대해 지불한 액수로 한정될 것입니다. National Instruments 는 데이터나 이익의 손실로 인한 손해, 제품 사용으로 인한 손해, 우발적 손해나 간접손해에 대하여는 그 손해의 가능성에 대하여 통고를 하였다 하더라도 그에 대하여 아무런 책임을 지지 않습니다. 부주의를 포함하여 계약상 책임 또는 불법행위 상의 책임 등 소송의 형태에 관계없이 National Instruments 의 책임 제한이 인정될 것입니다. National Instruments 에 대한 소송은 어떠한 소송이라도 그 소송의 원인 발생일로부터 1 년 이내에 제기되어야 할 것입니다. 합리적인 이유없이 지체된 손해배상 청구에 대해서는 National Instruments 는 책임을 지지 않습니다. 이 문서에서 규정한 보증은 소유자가 National Instruments 의 설치, 작동, 유지에 관한 지시를 따르지 않거나 소유자의 제품 변경, 소유자의 남용, 오용, 부주의한 사용; 전력 공급 중단 또는 전압 변화, 화재, 홍수, 사고, 제 3 자의 소송 또는 합리적인 통제 범위를 넘는 다른 외부적 사건사고로 야기된 손해, 결함, 기능 장애 또는 서비스 오류들에는 인정되지 않습니다.

저작권

저작권법에 따라, 이 간행물은 National Instruments Corporation 의 사전 서면동의없이는 간행물의 전부 또는 일부라도 사진복사, 기록, 정보검색시스템으로 저장, 번역을 할 수 없음은 물론이거나 전자 또는 기계방식의 어떠한 형태로도 복제 또는 송신될 수 없습니다.

내셔널인스트루먼트는 타인의 지적재산권을 존중하며 사용자에게도 그렇게 할 것을 요청하고 있습니다. NI 소프트웨어는 저작권 및 기타 지적재산권법에 의해 보호받고 있습니다. NI 소프트웨어를 타인 소유의 소프트웨어 또는 기타 자료들을 복제하는데 사용할 수 있는 경우, 여러분은 NI 소프트웨어를 라이선스 또는 기타 법적 제한조건에 따라 복제해도 되는 자료들을 복제하는데에만 사용하여야 합니다.

상표

CVI, LabVIEW, National Instruments, NI, ni.com, National Instruments 회사 로고 및 이글 로고는 National Instruments Corporation 의 상표들입니다. National Instruments 의 기타 상표는 ni.com/trademarks 의 Trademark Information 을 참조하시기 바랍니다.

The mark LabWindows is used under a license from Microsoft Corporation. Windows is a registered trademark of Microsoft Corporation in the United States and other countries. 이 문서에서 언급된 다른 제품과 회사의 이름들은 각각 해당 회사들의 상표이거나 상호들입니다.

National Instruments Alliance Partner Program 의 멤버들은 National Instruments 와는 다른 독자적인 사업 기구들이며 National Instruments 와 어떠한 대리관계나 파트너쉽 또는 joint-venture 관계를 가지고 있지 않습니다.

특허권

National Instruments 제품 / 기술에 대한 특허권에 관하여는 귀하의 소프트웨어에 있는 **도움말>특허**, 귀하의 미디어에 있는 patents.txt 파일 또는 ni.com/patents 의 National Instruments Patent Notice 를 참고하십시오.

국제 무역 규정 준수 정보

National Instruments 의 국제 무역 규정 준수 정책에 대해서는 ni.com/legal/export-compliance 에서 Export Compliance Information 을 참조하십시오.

NATIONAL INSTRUMENTS 제품 사용에 관한 경고

(1) NATIONAL INSTRUMENTS 의 제품들은 외과적인 이식 조직에 사용되거나 그와 관련하여 사용되는 것 또는 작동하지 않는 경우 사람에게 중대한 손상을 야기할 것으로 합리적으로 예견되는 임의의 생명 유지 시스템의 중요한 요소로서 사용되기에 적합할 정도의 신뢰성을 테스트 받지 않았고 그러한 요소로 설계된 것이 아닙니다.

(2) 앞서 설명한 것을 포함하여 어떠한 어플리케이션의 경우에도 소프트웨어 제품 작동의 신뢰성은 전력 공급에 있어서의 불안정, 컴퓨터 하드웨어 기능장애, 컴퓨터 작동 시스템 소프트웨어의 적합성, 활용을 향상시키기 위해 사용되는 컴파일러와 개발 소프트웨어의 적합성, 설비의 오류, 소프트웨어와 하드웨어의 조화 문제, 전기 모니터링 장치나 조절 장치의 기능 장애 또는 오류, 전기 시스템 (하드웨어 또는 소프트웨어) 의 일시적인 오류, 예견되지 않은 사용이나 오용, 사용자나 활용 디자이너의 측면에서의 오류 (이상과

같은 맞지 않는 요인들은 이하에서 집합적으로 "시스템 오류"라고 합니다.) 등을 포함하여 부정적인 요인들에 의하여 손상될 수 있습니다.

이 시스템 오류가 재산이나 사람에게 해를 끼칠 수 있는 위험(신체적인 손상이나 죽음을 포함한다.)을 발생시킬 수 있는 어플리케이션의 경우에 시스템 오류의 위험 때문에 한가지 형태의 전기적 시스템에만 의존하여서는 안됩니다. 손해, 손상, 죽음을 피하기 위하여 사용자 또는 어플리케이션 디자이너는 백업이나 셧 다운 장치 등을 포함하여 시스템 오류에 대하여 이를 보호하기 위한 단계를 합리적이고 신중하게 밟아야 합니다.

각 마지막 사용자 시스템은 맞춤형이며 NATIONAL INSTRUMENTS' TESTING PLATFORMS 과 다르고 사용자나 어플리케이션 디자이너는 NATIONAL INSTRUMENTS 의 제품을 다른 제품들과 결합하여 NATIONAL INSTRUMENTS 가 평가하거나 고려하지 않은 방법으로 사용할 수 있기 때문에 사용자 또는 어플리케이션 디자이너는 NATIONAL INSTRUMENTS 제품들이 시스템이나 어플리케이션의 안전 수준, 적합한 디자인, 공정 등을 포함하여 시스템이나 활용에 결합될 때 마다 NATIONAL INSTRUMENTS 제품들의 적합성을 최종적으로 입증하거나 검증할 책임이 있습니다.

목차

이 매뉴얼에 관하여

표기법	ix
관련 문서	x

제 1 장 개요

보드 정보	1-1
CompactPCI 와 함께 PXI 사용하기	1-2
시작 전 준비사항	1-2
추가 장비	1-3
사용자 지정 케이블 연결	1-3
포장 풀기	1-4

제 2 장 설치 및 설정

소프트웨어 설치	2-1
NI-DAQ 설치하기	2-1
기타 소프트웨어 설치하기	2-1
하드웨어 설치	2-1
PCI-DIO-96 또는 PCI-6503 설치하기	2-1
PXI-6508 설치하기	2-2
보드 설정	2-2

제 3 장 신호 연결

I/O 커넥터 (PCI-DIO-96, PXI-6508)	3-1
I/O 커넥터의 핀 할당	3-1
케이블 어셈블리 커넥터	3-3
I/O 커넥터 신호 설명	3-4
I/O 커넥터 (PCI-6503)	3-6
PCI-6503 I/O 커넥터 핀 설명	3-6
포트 C 핀 할당	3-7
디지털 I/O 신호 연결	3-8
전원 연결	3-10
디지털 I/O 전원 가동 상태 선택	3-10
하이 DIO 전원 가동 상태	3-10
로우 DIO 전원 가동 상태 (PXI-6508 및 PCI-6503 의 경우)	3-11

제 4 장 작동 이론

기능적 개요	4-1
PCI 인터페이스 회로	4-2
82C55A PPI (Programmable Peripheral Interface)	4-3
타이밍 스펙	4-4
모드 1 입력 타이밍	4-5
모드 1 출력 타이밍	4-6
모드 2 양방향 타이밍	4-7

부록 A 스펙

부록 B 레지스터 레벨 프로그래밍

82C53 프로그램 가능한 간격 타이머 (PCI-DIO-96 및 PXI-6508 의 경우)	B-2
인터럽트 컨트롤 회로	B-2
레지스터 맵 및 설명	B-4
개요	B-4
레지스터 맵	B-5
레지스터 설명	B-6
레지스터 설명 포맷	B-6
82C55A 용 레지스터 설명	B-6
82C53 용 레지스터 설명 (PCI-DIO-96 및 PXI-6508 의 경우)	B-9
인터럽트 컨트롤 레지스터용 레지스터 설명	B-10
인터럽트 컨트롤 레지스터 1	B-10
인터럽트 컨트롤 레지스터 2	B-12
인터럽트 클리어 레지스터 (PCI-DIO-96 및 PXI-6508 의 경우)	B-13
프로그래밍	B-14
PCI 로컬 버스	B-14
프로그래밍 예	B-14
PCI 초기화	B-15
82C55A 프로그래밍 고려사항	B-17
작동 모드	B-17
모드 0 (기본 I/O)	B-18
모드 1—(스트로브 입력)	B-19
입력에 대한 포트 C 상태- 워드 비트 정의 (포트 A 및 포트 B)	B-21
모드 1— 스트로브 출력	B-23
포트 C 상태- 출력에 대한 워드 비트 정의 (포트 A 및 포트 B)	B-24
모드 2— 양방향 버스	B-26
양방향 데이터 경로에 대한 포트 C 상태- 워드 비트 정의 (포트 A 의 경우)	B-27

인터럽트 처리	B-29
82C55A 인터럽트 프로그래밍 예	B-29
82C53 프로그래밍 고려사항	B-30
일반 정보	B-30
인터럽트 프로그래밍 예	B-31

부록 C 기술 지원과 전문 서비스

용어집

색인

그림

그림 3-1.	PCI-DIO-96 및 PXI-6508 커넥터 핀 할당	3-2
그림 3-2.	R1005050 리본 케이블용 케이블 어셈블리 커넥터 핀출력 (PCI-DIO-96 및 PXI-6508).....	3-3
그림 3-3.	PCI-6503 I/O 커넥터 핀 할당	3-6
그림 3-4.	디지털 I/O 연결 블록다이어그램.....	3-9
그림 3-5.	외부 로드가 있는 하이 DIO 전원 가동 상태에 맞게 설정한 DIO 채널	3-11
그림 3-6.	외부 로드가 있는 로우 DIO 전원 가동 상태에 맞게 설정한 DIO 채널	3-12
그림 4-1.	PCI-DIO-96/PXI-6508 블록다이어그램	4-2
그림 4-2.	모드 1 입력 전송에 대한 타이밍 스펙	4-5
그림 4-3.	모드 1 출력 전송에 대한 타이밍 스펙	4-6
그림 4-4.	모드 2 양방향 전송에 대한 타이밍 스펙	4-7
그림 B-1.	인터럽트 컨트롤 회로 블록다이어그램.....	B-3
그림 B-2.	82C55A 용 컨트롤 워드 포맷	B-7
그림 B-3.	82C53 용 컨트롤 워드 포맷	B-9
그림 B-4.	포트 A 를 모드 1 입력으로 설정하기 위한 컨트롤 워드	B-19
그림 B-5.	포트 B 를 모드 1 입력으로 설정하기 위한 컨트롤 워드	B-20
그림 B-6.	포트 C 가 모드 1 입력으로 설정될 때 , I/O 커넥터 포트 C 의 핀 할당 ...	B-22
그림 B-7.	포트 A 를 모드 1 출력으로 설정하기 위한 컨트롤 워드	B-23
그림 B-8.	포트 B 를 모드 1 출력으로 설정하기 위한 컨트롤 워드	B-23
그림 B-9.	포트 C 가 모드 1 출력으로 설정될 때 , I/O 커넥터 포트 C 의 핀 할당 ...	B-25
그림 B-10.	포트 A 를 모드 2 양방향 데이터 버스로 설정하기 위한 컨트롤 워드	B-26
그림 B-11.	포트 C 가 모드 2 로 설정될 때 , I/O 커넥터 포트 C 의 핀 할당	B-28

테이블

테이블 3-1.	PCI-DIO-96 및 PXI-6508 I/O 커넥터 신호 설명	3-4
테이블 3-2.	PCI-6503 신호 설명	3-7
테이블 3-3.	포트 C 신호 할당	3-8
테이블 4-1.	PCI-DIO-96, PXI-6508 및 PCI-6503 에서 사용되는 82C55A 칩	4-3
테이블 4-2.	타이밍 다이어그램에 사용되는 신호 이름	4-4
테이블 B-1.	레지스터 주소 맵	B-5
테이블 B-2.	포트 C 설정 / 리셋 컨트롤 워드	B-8
테이블 B-3.	프로그래밍 예에 사용되는 일반 용어	B-15
테이블 B-4.	모드 0 I/O 설정	B-18

이 매뉴얼에 관하여

이 문서는 PCI-DIO-96, PXI-6508 및 PCI-6503의 전기적, 기계적 특성을 설명하고 그 설치와 작동 및 프로그래밍에 관한 정보를 포함하고 있습니다. PCI-DIO-96 및 PCI-6503은 PCI 버스 컴퓨터용 확장 보드인 National Instruments PCI 시리즈의 일원입니다. PXI-6508은 PXI 및 CompactPCI 새시용 확장 보드인 National Instruments PXI 제품군의 일원입니다. 본 보드는 고성능 데이터 수집 및 연구실 테스트, 생산 테스트, 산업 프로세스의 모니터링과 제어를 위해 사용되는 어플리케이션을 컨트롤하기 위해 디자인되었습니다.

표기법

이 매뉴얼에서는 다음 규약이 사용됩니다:

<>

중괄호는 비트 또는 신호 이름과 관련된 값의 범위를 나타내며, 양 끝의 숫자 가운데에 생략 표시가 들어갑니다. 예를 들면 AO <3..0>입니다.

>>

>> 기호는 메뉴 항목이나 대화 상자 옵션을 거쳐 최종 작업을 수행하도록 사용자를 이끌어 줍니다. **파일>페이지 설정>옵션**은 **파일** 메뉴를 풀다운하고, **페이지 설정** 아이템을 선택한 후, 대화 상자에서 **옵션**을 선택하는 것을 의미합니다.



이 아이콘과 굵은체 텍스트는 노트를 나타내며, 중요한 정보가 있을 때 알려줍니다.



이 아이콘과 굵은체 텍스트는 주의사항을 나타내며 손상, 데이터 손실, 시스템 충돌을 방지하기 위해 사전에 주의해야 할 사항을 알려줍니다.

굵은체

굵은체 텍스트는 메뉴 항목 및 대화 상자 옵션과 같이 소프트웨어에서 선택하거나 클릭해야 하는 아이템을 나타냅니다. 굵은체 텍스트는 파라미터 이름도 나타냅니다.

이탤릭체

이탤릭체 텍스트는 변수, 강조, 상호 참조, 또는 중요한 개념을 소개하는데 사용됩니다. 또한 이탤릭체 텍스트는 사용자가 제공해야 하는 단어나 값을 위한 자리 표시자 텍스트를 나타내기도 합니다.

고정폭

고정폭을 사용한 텍스트는 키보드, 코드의 섹션, 프로그래밍 예제, 구문 예제로부터 입력해야 하는 텍스트나 문자를 나타냅니다. 또한 이 폰트를 디스크 드라이브, 경로, 디렉토리, 프로그램, 서브프로그램, 서브루틴, 디바이스 이름, 함수, 동작, 변수, 파일 이름, 확장자의 적절한 이름에 사용합니다.

PPI x	PPI x 에서 x 는 A, B, C, D 중 하나이고 , PCI-DIO-96 또는 PXI-6508 에 있는 4 개의 PPI (programmable peripheral interface) 칩 중 하나를 지칭합니다 . PCI-6503 에는 PPI A 라는 하나의 PPI 만이 있습니다 .
DIO 보드	DIO 보드는 PCI-DIO-96, PXI-6508, 또는 PCI-6503 보드 중 하나를 지칭합니다 .

관련 문서

다음의 National Instruments 문서에는 이 매뉴얼을 읽을 때 참조할 수 있는 정보가 포함되어 있습니다 .

- *Field Wiring and Noise Considerations for Analog Signals*— 이 문서를 보려면 , ni.com/info 에서 정보 코드 `rdfwin` 을 입력하십시오 .
- *PCI Local Bus Specification*, Revision 2.1
- National Instruments *PXI Specification*, Revision 1.0
- *PICMG 2.0 R2.1 CompactPCI*
- 소프트웨어 문서 — 소프트웨어 문서의 예로는 LabVIEW 또는 LabWindows™/CVI™ 문서 세트 및 NI-DAQmx 또는 Traditional NI-DAQ (Legacy) 문서가 있습니다 . 하드웨어 시스템 설정 후 , 해당 어플리케이션 소프트웨어 또는 NI-DAQ 문서를 사용하여 어플리케이션을 작성하십시오 . 크고 복잡한 시스템이라면 , 하드웨어를 설정하기 전 소프트웨어 문서를 살펴 보아야 합니다 .
- 액세서리 설치 가이드 또는 매뉴얼 - 액세서리 제품을 사용하고 있다면 , 터미널 블록 및 케이블 조립 설치 가이드 또는 보드 사용자 매뉴얼을 읽으십시오 . 그 문서들은 해당 시스템의 적합한 부품을 물리적으로 연결하는 방법에 대해 설명합니다 . 제품을 연결할 때 , 이 문서의 설명을 참조하십시오 .

개요

이 장에서는 PCI-DIO-96, PXI-6508 및 PCI-6503에 대해 설명합니다; 시작하기 전 필요한 사항, 소프트웨어 프로그래밍에 있어서의 선택 사항 및 추가적인 장비에 대해 보여줍니다; 사용자 지정 케이블 연결 옵션 및 보드의 포장을 푸는 방법에 대해 설명합니다.

보드 정보

National Instruments PCI-DIO-96, PXI-6508 또는 PCI-6503 보드를 구매해 주셔서 감사합니다. PCI-DIO-96은 PCI 버스 컴퓨터용 96 비트, 병렬, 디지털 I/O 인터페이스입니다. PXI-6508은 PXI 및 CompactPCI 새시용 96 비트, 병렬, 디지털 I/O 인터페이스입니다. PCI-6503은 PCI 버스 컴퓨터용 24 비트, 병렬, 디지털 I/O 인터페이스입니다.

4 개의 82C55A PPI (programmable peripheral interface) 칩은 PCI-DIO-96 또는 PXI-6508에서 TTL 호환가능한 96 비트 디지털 I/O를 컨트롤합니다. PCI-6503에서 하나의 82C55A PPI는 TTL 호환가능한 24 비트 디지털 I/O를 컨트롤합니다. 82C55A PPI 칩은 단방향 모드, 양방향 모드 또는 핸드셰이킹 모드에서 작동할 수 있으며, 사용자의 컴퓨터에 인터럽트 요청을 생성할 수 있습니다. 디지털 I/O 라인은 모두 PCI-DIO-96 또는 PXI-6508에서 100 핀 암 커넥터를 통해 접근할 수 있으며, PCI-6503에서는 50 핀 수 커넥터를 통해서 접근할 수 있습니다.

DIO 보드는 스위치나 점퍼가 전혀 없는 DAQ 보드입니다. 모든 리소스는 시작시에 완전 자동으로 할당되므로, 인터럽트 레벨이나 베이스 주소를 설정할 필요가 없습니다.

DIO 보드를 사용하면, 일반 컴퓨터를 연구실 테스트, 생산 테스트 및 산업 프로세스의 모니터링과 제어용 디지털 I/O 시스템 컨트롤러로 사용할 수 있게 됩니다.

상세한 PCI-DIO-96, PXI-6508 및 PCI-6503의 스펙은 부록 A, [스펙](#)에 있습니다.

CompactPCI 와 함께 PXI 사용하기

PXI 와 호환가능한 제품을 표준 CompactPCI 제품과 함께 사용하는 것은 *PXI Specification, Revision 1.0* 의 중요한 기능입니다. PXI 와 호환가능한 플러그인 디바이스를 표준 CompactPCI 새시에서 사용할 경우, 플러그인 디바이스의 기본 기능은 사용할 수 있지만 PXI 에 특정한 기능은 사용할 수 없게 됩니다.

CompactPCI 스펙은 다른 제조업체가 CompactPCI 버스의 기본 PCI 인터페이스와 공존하는 서브 버스를 개발할 수 있도록 합니다. 그러나 다른 서브 버스가 있는 CompactPCI 디바이스 또는 서브 버스와 PXI 가 있는 CompactPCI 디바이스 사이에서는 작업 호환이 보장되지 않습니다. CompactPCI 에 대한 표준 구현에는 이같은 서브 버스가 포함되지 않습니다. PXI-6508 디바이스는 *PICMG 2.0 R2.1 CompactPCI* 코어 스펙을 준수하는 모든 표준 CompactPCI 새시에서 작동합니다.

시작 전 준비사항

PCI-DIO-96/PXI-6508/PCI-6503 보드를 설정하여 사용하려면, 다음과 같은 사항이 필요합니다:

- ☐ PCI-DIO-96, PXI-6508 또는 PCI-6503 보드
- ☐ *PCI-DIO-96/PXI-6508/PCI-6503 사용자 매뉴얼*
- ☐ 다음 소프트웨어 패키지 및 문서 중에서 하나:
 - LabVIEW
 - LabWindows/CVI
 - NI-DAQmx
 - Traditional NI-DAQ (Legacy)
 - Measurement Studio
- ☐ 컴퓨터, PXI 또는 CompactPCI 새시 및 컨트롤러

추가 장비

National Instruments 는 DIO 보드와 사용할 수 있도록 , 케이블 , 커넥터 블록 , 기타 액세스리와 같은 다음의 다양한 제품을 제공합니다 :

- 케이블 및 케이블 어셈블리
- 커넥터 블록 , 50 핀 나사 고정 터미널
- 릴레이와 아날로그 출력용 신호를 절연 , 증폭 , 구동 및 멀티플렉스하는 SCXI 모듈과 액세스리 . SCXI 를 사용하면 최대 3,072 채널을 컨디셔닝 하고 수집할 수 있습니다 .
- 채널이 적은 신호 컨디셔닝 모듈 , 보드 , 액세스리 . 예를 들어 , 스트레인 게이지 및 RTD 의 컨디셔닝 , 샘플링과 홀딩의 동시 처리 , 릴레이 등

National Instruments 에서 제공하는 추가적인 장비에 대한 더 자세한 정보는 ni.com 을 참조하십시오 .

사용자 지정 케이블 연결



주의

전자파 적합성 (EMC) 을 준수하기 위해 , 이 제품은 쉴드된 케이블과 액세스리를 사용하여 동작해야 합니다 . 쉴드되지 않은 케이블이나 액세스리를 사용한 경우 , 이 쉴드되지 않은 케이블 및 / 또는 액세스리가 올바르게 설계되고 쉴드된 입력 / 출력 포트를 가진 쉴드된 케이스에 설치되어 있지 않으면 , 해당 EMC 스펙이 더 이상 정확하지 않습니다 .

National Instruments 는 사용자가 시험적인 어플리케이션을 개발할 수 있도록 하고 , 또는 사용자가 보드의 케이블 접속을 자주 변경해야 할 경우에 사용할 수 있도록 다양한 케이블과 액세스리를 제공합니다 .

사용자 지정 케이블을 직접 개발하고자 할 경우 , PCI-DIO-96 및 PXI-6508 에 맞는 커넥터는 100 포지션 , 보드 잠금 장치가 없는 직각 소켓입니다 . 이 커넥터에 대한 권장 제조업체와 해당 파트 번호는 다음과 같습니다 :

- AMP Corporation (파트 번호 749879-9)
- Honda Corporation (파트 번호 PCS-XE100LFD-HS)

PCI-6503 에 맞는 커넥터는 연결 도움 고리가 있는 50 포지션 극성 표시된 리본 소켓 커넥터입니다 . National Instruments 는 실수로 극성을 반대로 연결하는 것을 방지하기 위해 극성 표시된 커넥터를 사용합니다 . 이 커넥터에 대한 권장 제조업체와 해당 파트 번호는 다음과 같습니다 :

- Electronic Products Division/3M (파트 번호 3425-7650)
- T&B/Ansley Corporation (파트 번호 622-5041)

포장 풀기

DIO 보드는 정전기로 인한 손상을 막기 위해 정전기 방지 패키지에 넣어 배송됩니다. 정전기 방전은 디바이스의 부품에 손상을 가할 수 있습니다. 디바이스를 다룰 때 정전기 방전으로 인한 손상을 막으려면 다음 주의사항을 참조하십시오 :

- 접지 스트랩을 사용하거나 접지된 물체를 잡아 사용자가 접지 상태에 있도록 합니다 .
- 보드를 패키지에서 꺼내기 전에 정전기 방지 패키지를 컴퓨터 채시의 금속 부분에 가져다 댁니다 .
- 패키지에서 보드를 꺼내 부품이 모두 들어있는지 , 보드에 결함이 있는지 살펴봅니다 . 보드에 결함이 있는 경우 NI 에 알려주십시오 . 결함이 있는 디바이스는 컴퓨터에 *설치하지 마십시오* .
- 커넥터의 노출된 핀 부분을 *절대* 만지지 마십시오 .

설치 및 설정

이 장에서는 PCI-DIO-96, PXI-6508 또는 PCI-6503 보드를 설치 및 설정하는 방법을 설명합니다.

소프트웨어 설치

DIO 디바이스를 설치하기 전, 디바이스와 같이 사용할 소프트웨어를 설치해야 합니다.

레지스터 레벨의 프로그래머의 경우, 이 매뉴얼의 부록, B, [레지스터 레벨 프로그래밍](#)을 참조하십시오.

NI-DAQ 설치하기

ni.com/manuals 에서 다운로드할 수 있는 *DAQ 시작하기 가이드*는 소프트웨어와 하드웨어 설치, 채널과 태스크 설정, 어플리케이션 개발에 대해 단계적으로 설명합니다.

기타 소프트웨어 설치하기

기타 소프트웨어를 사용하는 경우, 소프트웨어와 함께 제공되는 설치 안내서를 참조하십시오.

하드웨어 설치

다음 섹션에서는 각 디바이스에 대한 일반적인 설치 방법에 대해 설명합니다. 컴퓨터나 새시에 새 디바이스를 설치하는 방법에 대한 정보는 사용하는 컴퓨터나 새시의 사용자 매뉴얼 또는 기술 참조 매뉴얼을 참조하십시오.

PCI-DIO-96 또는 PCI-6503 설치하기

컴퓨터의 5V PCI 확장 슬롯에 PCI-DIO-96 또는 PCI-6503 을 설치하려면 다음 단계를 완료하십시오:

1. 컴퓨터의 전원을 끄고 플러그를 뽑습니다.
2. 컴퓨터 커버 또는 확장 슬롯 접근 포트를 제거합니다.
3. 컴퓨터 뒷면의 확장 슬롯 커버를 제거합니다.
4. 설치자의 옷이나 몸에 있을 수 있는 정전기가 방전되도록 컴퓨터 내부의 금속 부분을 건드립니다.

5. PCI-DIO-96 또는 PCI-6503 을 5 V PCI 슬롯에 끼워 넣습니다 . 꼭 조이는 느낌이 있을 수 있지만 , 억지로 밀어 넣지는 *마십시오* .
6. PCI-DIO-96 또는 PCI-6503 의 장착 받침대를 컴퓨터의 백패널 레일에 나사로 고정합니다 .
7. 잘 설치되었는지를 확인합니다 .
8. 컴퓨터의 덮개를 원위치시킵니다 .
9. 컴퓨터를 플러그인하고 전원을 켭니다 .

PXI-6508 설치하기

PXI 또는 CompactPCI 새시의 5 V 주변 장치 슬롯에 PXI-6508 을 설치하려면 다음 단계를 완료하십시오 :

1. PXI 또는 CompactPCI 새시의 전원을 끄고 플러그를 뽑니다 .
2. PXI 또는 CompactPCI 의 5 V 주변 장치 슬롯 중 비어 있는 슬롯을 선택합니다 .
3. 선택한 주변 장치 슬롯의 패널을 제거합니다 .
4. 설치자의 옷이나 몸에 있을 수 있는 정전기가 방전되도록 컴퓨터 내부의 금속 부분을 건드립니다 .
5. 선택한 5 V 슬롯에 PXI-6508 을 끼워 넣습니다 . 모듈 고정 핸들을 사용하여 디바이스가 제자리에 꼭 맞게 들어가도록 끼웁니다 .
6. PXI-6508 의 프런트패널을 PXI 또는 CompactPCI 새시의 프런트패널 장착 레일에 나사로 고정합니다 .
7. 잘 설치되었는지를 확인합니다 .
8. PXI 또는 CompactPCI 새시를 플러그인하고 전원을 켭니다 .

보드 설정

DIO 보드는 모두 소프트웨어에서 설정 가능합니다 . PCI-DIO-96 및 PCI-6503 은 *PCI Local Bus Specification, Revision 2.1* 과 완전히 호환되며 , PXI-6508 은 *PXI Specification, Revision 1.0* 과 완전히 호환됩니다 . 따라서 , PCI 시스템은 베이스 주소와 인터럽트 레벨을 포함한 모든 보드 리소스를 자동으로 할당합니다 . 보드의 베이스 주소는 PCI 메모리 공간에 맵핑됩니다 . 시스템의 전원을 가동한 후에 설정 단계를 수행할 필요는 없습니다 .

신호 연결

이번 장에서는 PCI-DIO-96, PXI-6508 및 PCI-6503 에 보드 I/O 커넥터를 사용하여 입력 및 출력 신호를 연결하는 방법을 설명합니다 .



주의

DIO 보드의 최대 입력 신호 등급 또는 출력 신호 등급을 초과해서 연결할 경우 보드나 컴퓨터가 손상될 수 있습니다 . 이 장에서는 각 신호에 대해 최대 입력 등급에 대한 정보를 포함한 자세한 설명을 제공합니다 . NI 는 최대 등급을 초과하는 신호 연결에 따른 어떤 손상에 대해서도 *책임지지 않습니다* .



노트

사용자의 어플리케이션에 신호 컨디셔닝을 추가하는 방법 및 National Instruments 신호 컨디셔닝 디바이스에 대한 더 자세한 설명은 , ni.com/signalconditioning 을 참조하십시오 .

I/O 커넥터 (PCI-DIO-96, PXI-6508)

PCI-DIO-96 및 PXI-6508 I/O 커넥터에는 100 개의 핀이 있으며 , R1005050 케이블을 사용하여 50 핀 액세서리에 연결할 수 있습니다 .

I/O 커넥터의 핀 할당

그림 3-1 은 PCI-DIO-96 및 PXI-6508 디지털 I/O 커넥터의 핀 할당을 보여 줍니다 .

GND	100	50	GND
+5 V	99	49	+5 V
DPA0	98	48	BPA0
CPA0	97	47	APA0
DPA1	96	46	BPA1
CPA1	95	45	APA1
DPA2	94	44	BPA2
CPA2	93	43	APA2
DPA3	92	42	BPA3
CPA3	91	41	APA3
DPA4	90	40	BPA4
CPA4	89	39	APA4
DPA5	88	38	BPA5
CPA5	87	37	APA5
DPA6	86	36	BPA6
CPA6	85	35	APA6
DPA7	84	34	BPA7
CPA7	83	33	APA7
DPB0	82	32	BPB0
CPB0	81	31	APB0
DPB1	80	30	BPB1
CPB1	79	29	APB1
DPB2	78	28	BPB2
CPB2	77	27	APB2
DPB3	76	26	BPB3
CPB3	75	25	APB3
DPB4	74	24	BPB4
CPB4	73	23	APB4
DPB5	72	22	BPB5
CPB5	71	21	APB5
DPB6	70	20	BPB6
CPB6	69	19	APB6
DPB7	68	18	BPB7
CPB7	67	17	APB7
DPC0	66	16	BPC0
CPC0	65	15	APC0
DPC1	64	14	BPC1
CPC1	63	13	APC1
DPC2	62	12	BPC2
CPC2	61	11	APC2
DPC3	60	10	BPC3
CPC3	59	9	APC3
DPC4	58	8	BPC4
CPC4	57	7	APC4
DPC5	56	6	BPC5
CPC5	55	5	APC5
DPC6	54	4	BPC6
CPC6	53	3	APC6
DPC7	52	2	BPC7
CPC7	51	1	APC7

그림 3-1. PCI-DIO-96 및 PXI-6508 커넥터 핀 할당

케이블 어셈블리 커넥터

PCI-DIO-96 또는 PXI-6508 에 사용할 수 있는 R1005050 케이블 어셈블리 옵션으로는 두 개의 50 핀 케이블과 세 개의 커넥터로 구성된 어셈블리가 있습니다. 두 개의 케이블을 하나의 커넥터에 연결하고, 케이블의 다른 끝에는 각자 다른 커넥터를 연결합니다. 두 케이블이 만나는 100 핀 커넥터를 PCI-DIO-96 및 PXI-6508 의 I/O 커넥터에 플러그인합니다. 다른 쪽의 두 개의 커넥터는 50 핀 커넥터이며, 하나는 PCI-DIO-96 및 PXI-6508 커넥터의 1 ~ 50 핀에 연결하고, 다른 하나는 51 ~ 100 핀에 연결합니다. 그림 3-2 는 케이블 어셈블리의 50 핀 커넥터 각각의 핀 할당을 보여줍니다.

포지션 1-50				포지션 51-100			
APC7	1	2	BPC7	CPC7	1	2	DPC7
APC6	3	4	BPC6	CPC6	3	4	DPC6
APC5	5	6	BPC5	CPC5	5	6	DPC5
APC4	7	8	BPC4	CPC4	7	8	DPC4
APC3	9	10	BPC3	CPC3	9	10	DPC3
APC2	11	12	BPC2	CPC2	11	12	DPC2
APC1	13	14	BPC1	CPC1	13	14	DPC1
APC0	15	16	BPC0	CPC0	15	16	DPC0
APB7	17	18	BPB7	CPB7	17	18	DPB7
APB6	19	20	BPB6	CPB6	19	20	DPB6
APB5	21	22	BPB5	CPB5	21	22	DPB5
APB4	23	24	BPB4	CPB4	23	24	DPB4
APB3	25	26	BPB3	CPB3	25	26	DPB3
APB2	27	28	BPB2	CPB2	27	28	DPB2
APB1	29	30	BPB1	CPB1	29	30	DPB1
APB0	31	32	BPB0	CPB0	31	32	DPB0
APA7	33	34	BPA7	CPA7	33	34	DPA7
APA6	35	36	BPA6	CPA6	35	36	DPA6
APA5	37	38	BPA5	CPA5	37	38	DPA5
APA4	39	40	BPA4	CPA4	39	40	DPA4
APA3	41	42	BPA3	CPA3	41	42	DPA3
APA2	43	44	BPA2	CPA2	43	44	DPA2
APA1	45	46	BPA1	CPA1	45	46	DPA1
APA0	47	48	BPA0	CPA0	47	48	DPA0
+5 V	49	50	GND	+5 V	49	50	GND

그림 3-2. R1005050 리본 케이블용 케이블 어셈블리 커넥터 핀 출력 (PCI-DIO-96 및 PXI-6508)

I/O 커넥터 신호 설명

그림 3-1 은 PCI-DIO-96 및 PXI-6508 I/O 커넥터 핀의 신호 설명을 보여줍니다.

테이블 3-1. PCI-DIO-96 및 PXI-6508 I/O 커넥터 신호 설명

핀	신호 이름	대체 포트 ID†	설명
1, 3, 5, 7, 9, 11, 13, 15	APC<7..0>	2	PPI A 포트 C 의 양방향 데이터라인 —APC7 은 MSB, APC0 은 LSB.
2, 4, 6, 8, 10, 12, 14, 16	BPC<7..0>	5	PPI B 포트 C 의 양방향 데이터라인 —BPC7 은 MSB, BPC0 은 LSB.
17, 19, 21, 23, 25, 27, 29, 31	APB<7..0>	1	PPI A 포트 B 의 양방향 데이터라인 —APB7 은 MSB, APB0 은 LSB.
18, 20, 22, 24, 26, 28, 30, 32	BPB<7..0>	4	PPI B 포트 B 의 양방향 데이터라인 —BPB7 은 MSB, BPC0 은 LSB.
33, 35, 37, 39, 41, 43, 45, 47	APA<7..0>	0	PPI A 포트 A 의 양방향 데이터라인 —APA7 은 MSB, APA0 은 LSB.
34, 36, 38, 40, 42, 44, 46, 48	BPA<7..0>	3	PPI B 포트 A 의 양방향 데이터라인 —BPA7 은 MSB, BPA0 은 LSB.
49, 99	+5 V 공급	—	+5 볼트 — 이 핀들은 총합 +4.65 ~ +5.25 V 에서 1A 의 퓨즈가 연결되어 있음 .
50, 100	GND	—	접지 - 이 핀들은 컴퓨터 접지 신호에 연결되어 있음 .
51, 53, 55, 57, 59, 61, 63, 65	CPC<7..0>	8	PPI C 포트 C 의 양방향 데이터라인 —CPC7 은 MSB, CPC0 은 LSB.
52, 54, 56, 58, 60, 62, 64, 66	DPC<7..0>	11	PPI D 포트 C 의 양방향 데이터라인 —DPC7 은 MSB, DPC0 은 LSB.
67, 69, 71, 73, 75, 77, 79, 81	CPB<7..0>	7	PPI C 포트 B 의 양방향 데이터라인 —CPB7 은 MSB, CPB0 은 LSB.
68, 70, 72, 74, 76, 78, 80, 82	DPB<7..0>	10	PPI D 포트 B 의 양방향 데이터라인 —DPB7 은 MSB, DPB0 은 LSB.

테이블 3-1. PCI-DIO-96 및 PXI-6508 I/O 커넥터 신호 설명 (계속됨)

핀	신호 이름	대체 포트 ID†	설명
83, 85, 87, 89, 91, 93, 95, 97	CPA<7..0>	6	PPI C 포트 A 의 양방향 데이터라인 —CPA7 은 MSB, CPA0 은 LSB.
84, 86, 88, 90, 92, 94, 96, 98	DPA<7..0>	9	PPI D 포트 A 의 양방향 데이터라인 —DPA7 은 MSB, DPA0 은 LSB.
† 이 문서에서는 포트 A, B, C 를 사용하고, PPI (82C55A) A, B, C, D 를 사용합니다. NI-DAQmx, Traditional NI-DAQ (Legacy) 및 LabVIEW 문서에서는 번호를 사용하여 포트와 PPI 를 식별합니다. 예를 들어, 이 매뉴얼은 PPI A 로 식별되는 82C55A 의 포트 A 를 칭하기 위해, PPI A 포트 A 라는 표현을 사용합니다. 그러나, NI-DAQmx, Traditional NI-DAQ (Legacy), LabWindows/CVI, LabVIEW 또는 다른 어플리케이션 소프트웨어 문서에서는 이 포트를 포트 0 이라고 사용합니다. 대체 포트 ID 열에서는 포트의 서로 다른 이름 간의 관계를 보여 줍니다.			

I/O 커넥터 (PCI-6503)

PCI-6503에는 50 개의 핀이 있어 , NB1 케이블을 사용하여 50 핀 액세서리
에 연결할 수 있습니다 .

PCI-6503 I/O 커넥터 핀 설명

그림 3-3은 NB1 리본 케이블을 사용하는 PCI-6503 디지털 I/O 커넥터의 핀
할당을 보여줍니다 .

PC7	1	2	GND
PC6	3	4	GND
PC5	5	6	GND
PC4	7	8	GND
PC3	9	10	GND
PC2	11	12	GND
PC1	13	14	GND
PC0	15	16	GND
PB7	17	18	GND
PB6	19	20	GND
PB5	21	22	GND
PB4	23	24	GND
PB3	25	26	GND
PB2	27	28	GND
PB1	29	30	GND
PB0	31	32	GND
PA7	33	34	GND
PA6	35	36	GND
PA5	37	38	GND
PA4	39	40	GND
PA3	41	42	GND
PA2	43	44	GND
PA1	45	46	GND
PA0	47	48	GND
+5 V	49	50	GND

그림 3-3. PCI-6503 I/O 커넥터 핀 할당

테이블 3-2 는 PCI-6503 신호를 설명합니다 .

테이블 3-2. PCI-6503 신호 설명

핀	신호 이름	대체 포트 ID†	설명
1, 3, 5, 7, 9, 11, 13, 15	PC<7..0>	2	포트 C— 포트 C 의 양방향 데이터 라인 . PC7 은 MSB, PC0 은 LSB.
17, 19, 21, 23, 25, 27, 29, 31	PB<7..0>	1	포트 B— 포트 B 의 양방향 데이터 라인 . PB7 은 MSB, PB0 은 LSB.
33, 35, 37, 39, 41, 43, 45, 47	PA<7..0>	0	포트 A— 포트 B 의 양방향 데이터 라인 . PA7 은 MSB, PA0 은 LSB.
49	+5 V	—	+5 볼트 — 이 핀은 총합 +4.65 ~ 5.25 V 에서 1 A 까지 퓨즈되어 있음 .
모든 짝수 번호 핀	GND	—	접지 — 이 신호는 컴퓨터 접지 참조에 연결되어 있음 .
† 이 문서에서는 82C55 포트를 포트 A, B, C 로 사용합니다 . NI-DAQmx, Traditional NI-DAQ (Legacy) 및 LabVIEW 문서에서는 번호를 사용하여 포트를 식별합니다 . 예를 들어 , 이 매뉴얼은 82C55A 의 첫 번째 포트를 칭하기 위해 , 포트 A 라는 표현을 사용합니다 . 그러나 , NI-DAQmx, Traditional NI-DAQ (Legacy), LabWindows/CVI, LabVIEW 또는 다른 어플리케이션 소프트웨어 문서에서는 해당 포트를 포트 0 이라고 칭합니다 . 대체 포트 ID 열에서는 포트의 서로 다른 이름 간의 관계를 보여 줍니다 .			

포트 C 핀 할당

포트 C 에 할당되는 신호는 82C55A 가 설정된 방식에 따라 달라집니다 . 모드 0 또는 핸드셰이킹 없음 설정에서 , 포트 C 는 두 개의 4 비트 I/O 로 설정됩니다 . 모드 1 및 모드 2 또는 핸드셰이킹 설정에서 , 포트 C 는 범용 I/O 로 사용 가능한 라인을 사용하여 상태 및 핸드셰이킹 신호용으로 사용됩니다 . 테이블 3-3 은 각 설정별 포트 C 의 신호 할당에 대한 요약 정리입니다 . 포트 A 및 포트 B 를 서로 다른 모드에서 사용할 수도 있습니다 ; 테이블에 보여지는 것 이외에도 가능한 조합이 있을 수 있습니다 . 레지스터 레벨 프로그래밍에 대한 정보는 부록 B, [레지스터 레벨 프로그래밍](#)을 참조하십시오 .



노트

테이블 3-3 은 포트 C 의 신호 할당 및 서로 다른 문서 소스에서 사용되는 용어의 상관 관계에 대해 보여줍니다 . 82C55A 용어는 82C55A 의 서로 다른 설정 방식을 모드라고 칭하는 반면 , NI-DAQmx, Traditional NI-DAQ (Legacy), LabWindows/CVI 및 LabVIEW 문서는 그러한 설정 방식들을 핸드셰이킹 모드 , 핸드셰이킹 없음 모드라고 칭합니다 . PCI-DIO-96 및 PXI-6508 에서 , 이러한 신호 할당은 4 개의 82C55A PPI 모두 동일합니다 . 추가적인 정보는 테이블 3-1 을 참조하십시오 .

테이블 3-3. 포트 C 신호 할당

설정 용어		신호 할당							
82C55A/ PCI-DIO-96/ PXI-6508/ PCI-6503 사용자 매뉴얼	National Instruments 소프트웨어	APC7, BPC7, CPC7, DPC7	APC6, BPC6, CPC6, DPC6	APC5, BPC5, CPC5, DPC5	APC4, BPC4, CPC4, DPC4	APC3, BPC3, CPC3, DPC3	APC2, BPC2, CPC2, DPC2	APC1, BPC1, CPC1, DPC1	APC0, BPC0, CPC0, DPC0
모드 0 (기본 I/O)	핸드셰이킹 없음	I/O	I/O	I/O	I/O	I/O	I/O	I/O	I/O
모드 1 (스트로브 입력)	핸드셰이킹	I/O	I/O	IBF _A	STB _A *	INTR _A	STB _B *	IBFB _B	INTR _B
모드 1 (스트로브 출력)	핸드셰이킹	OBFA*	ACK _A *	I/O	I/O	INTR _A	ACK _B *	OBFB*	INTR _B
모드 2 (양방향 버스)	핸드셰이킹	OBFA*	ACK _A *	IBFA	STB _A *	INTR _A	I/O	I/O	I/O
Notes: * 는 신호가 활성 로우임을 나타냅니다. 첨자 A 와 B 는 포트 A 또는 포트 B 의 핸드셰이킹 신호를 나타냅니다.									

디지털 I/O 신호 연결

PCI-DIO-96 및 PXI-6508 에서 I/O 커넥터의 핀 1~48 및 핀 51~98 은 디지털 I/O 신호 핀입니다. 다음의 스펙과 등급이 디지털 I/O 라인에 적용됩니다. 최대 입력 로직 하이 및 출력 로직 하이 전압은 5.0 V 의 V_{cc} 공급 전압을 가정합니다.

절대 최대 전압 등급은 GND 를 기준으로 -0.5 ~ +5.5 V 입니다. 디지털 I/O 신호 스펙에 대한 더 자세한 정보는, 부록 A, [스펙](#)을 참조하십시오.

그림 3-4 는 세 가지 일반적인 디지털 I/O 어플리케이션에 대한 신호 연결의 예입니다 .

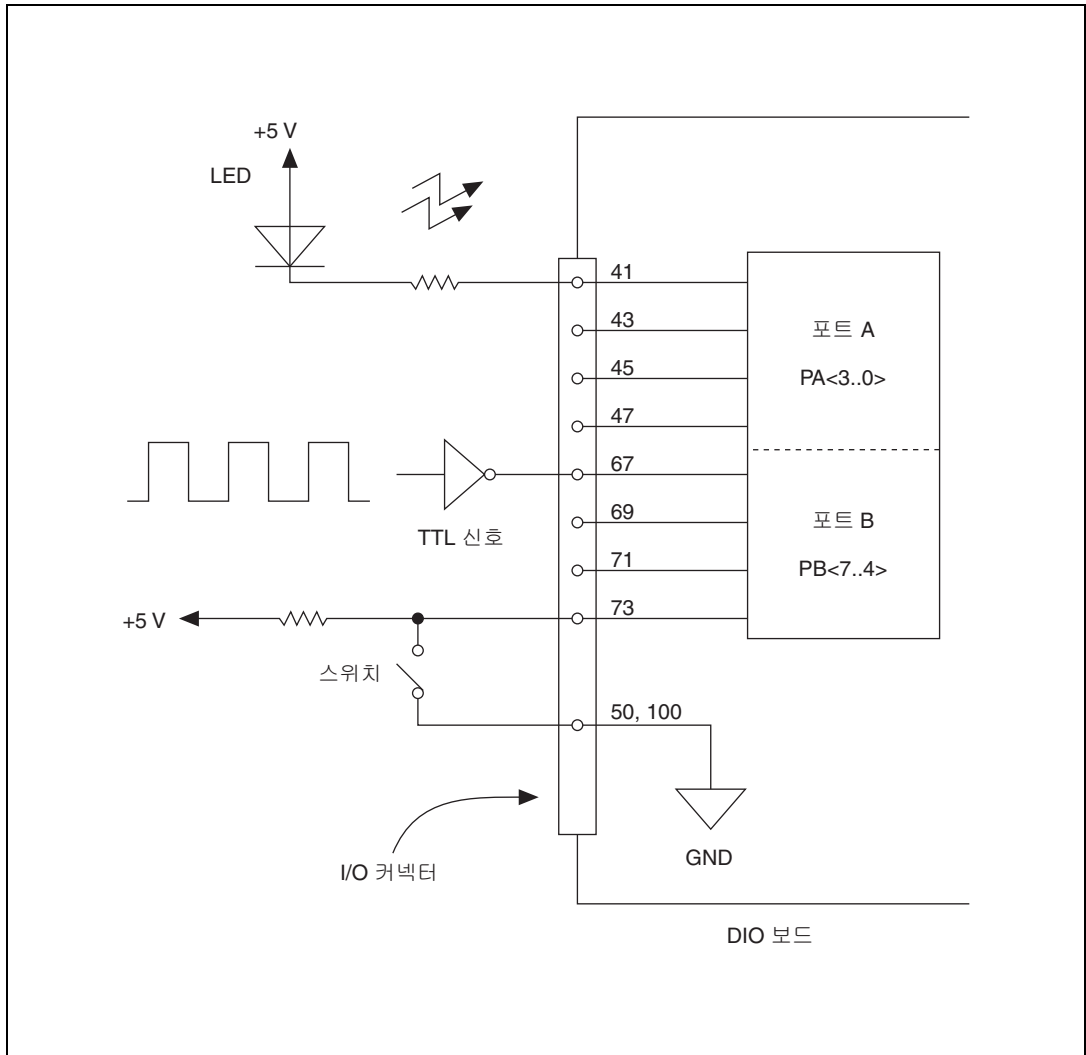


그림 3-4. 디지털 I/O 연결 블록다이어그램

그림 3-4 에서 , 한 PPI 의 포트 A 는 디지털 출력용으로 설정되고 , 포트 B 는 디지털 입력으로 설정됩니다 . 디지털 입력 어플리케이션에는 그림 3-4 의 스위치 상태와 같은 TTL 신호 받기와 외부 디바이스 상태 감지하기가 포함됩니다 . 디지털 출력 어플리케이션은 그림 3-4 의 LED 와 같은 TTL 신호 보내기와 외부 디바이스 구동하기를 포함합니다 .

전원 연결

PCI-DIO-96 및 PXI-6508 에서 I/O 커넥터의 핀 49 및 핀 99 는 셀프 리셋 퓨즈를 통해 컴퓨터 전원 공급으로부터 +5 V 를 공급합니다 . 퓨즈는 과전류 상태가 제거된 후 수 초내에 자동으로 리셋됩니다 . 이러한 핀은 GND 를 참조하며 , 외부 디지털 회로에 전원을 공급하기 위해 사용할 수 있습니다 .

전원 등급+4.65 ~ +5.25 V 에서 1A



주의

절대 +5 V 전원 핀을 직접 접지 또는 다른 DIO 보드나 디바이스의 다른 전압 소스에 연결하지 마십시오 . 연결할 경우 DIO 보드와 컴퓨터를 손상시킬 수 있습니다 . National Instruments 는 이같은 연결로 발생한 손상에 대해서 책임지지 않습니다 .

디지털 I/O 전원 가동 상태 선택

PCI-DIO-96, PXI-6508 및 PCI-6503 에는 전원 가동 시 디지털 I/O 라인의 상태를 컨트롤하는 바이어스 저항이 있습니다 . 전원 가동 시 , 각 디지털 I/O 라인은 100 k Ω 바이어스 저항에 의해 하이이거나 로우로 구동되어 입력으로 설정됩니다 .

PCI-DIO-96 에서 , 모든 100 k Ω 바이어스 저항은 풀업입니다 . 그러므로 , PCI-DIO-96 의 각 라인의 기본 전원 가동 상태는 하이입니다 .

PXI-6508 및 PCI-6503 에서 , 100 k Ω 바이어스 저항의 방향을 선택할 수 있습니다 . 저항을 풀업 저항으로 설정하려면 , 점퍼 W1 을 하이로 설정하십시오 . 저항을 풀다운 저항으로 설정하려면 , 점퍼 W1 을 로우로 설정하십시오 .

PXI-6508 및 PCI-6503 에서 외부 저항을 추가하여 각 개별 라인을 풀업에서 풀다운으로 또는 풀다운에서 풀업으로 변경할 수 있습니다 . 이 섹션에서는 그 과정에 대해 설명합니다 .

하이 DIO 전원 가동 상태

풀하이 모드를 선택할 경우 , 각 DIO 라인은 100 k Ω 저항으로 V_{cc} (대략 +5 VDC) 가 됩니다 . 특정 라인을 로우로 만드려면 , 해당 라인과 접지 사이에 최대 값이 0.4 VDC 인 풀다운 저항 (R_L) 을 연결합니다 . DIO 라인은 하 이 상태에서 3.7 V 의 전압에서 최대 2.5 mA 를 제공합니다 . 되도록 가장 큰 저항을 사용하여 , 풀다운 작업 수행에 필요 이상의 전류를 사용하는 것을 방지하도록 합니다 .

그러나 , 저항값이 너무 커지지 않도록 하여 , DIO 라인의 누출 전류 및 100 k Ω 풀업 저항의 전류가 저항의 전압을 TTL 로우 레벨인 0.4 VDC 이상으로 유지하도록 해야 합니다 .

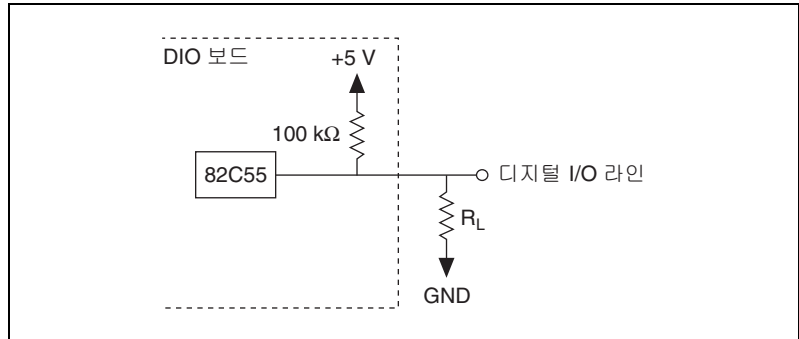


그림 3-5. 외부 로드가 있는 하이 DIO 전원 가동 상태에 맞게 설정한 DIO 채널

예제 :

모든 DIO 라인은 전원 가동시 하이가 되도록 기본 설정되어 있습니다 . 하나의 채널을 로우로 만드려면 , 다음의 단계를 완료하십시오 :

1. 로드 (R_L) 를 설치하십시오 . 저항이 작을 수록 , 전류 소모는 커지고 전압은 낮아진다는 것을 기억하십시오 .
2. 다음 수식에 따라 , 0.4 V 의 로직 로우 레벨을 유지하면서 최대 구동 전류를 공급할 수 있는 로드의 최대값을 계산할 수 있습니다 :

$$V = I \times R_L \Rightarrow R_L = V/I,$$

이 식에서 $V = 0.4 \text{ V}$; R_L 에서 측정한 전압

$I = 46 \mu\text{A} + 10 \mu\text{A}$; 100 kΩ 풀업 저항에서 측정한 4.6 V
및 최대 누출 전류 10 μA (라인 PC0 및 PC3 제외)

따라서 $R_L = 7.1 \text{ k}\Omega$; 0.4 V/56 μA

이 7.1 kΩ의 저항값은 전원 가동시 DIO 라인에 최대 0.4 V 를 공급합니다 . 저항값을 더 낮은 값으로 바꾸어 , 전압을 낮추거나 또는 V_{CC} 의 가변값 및 다른 인수를 조절할 수 있습니다 . 그러나 , 저항값이 적어지면 전류를 더 많이 소모하게 되고 , 결과적으로 이 라인과 연결된 다른 회로에는 더 적은 전류가 흐르게 됩니다 . 이 7.1 kΩ 저항은 2.8 V 출력에서 로직 하이 소스 전류를 0.4 mA 만큼 감소시킵니다 .

대부분의 라인에서 최대 누출 전류는 10 μA 입니다 . PC(0) 및 PC(3) 라인에서의 최대 누출 전류는 20 μA 입니다 .

로우 DIO 전원 가동 상태 (PXI-6508 및 PCI-6503 의 경우)

로우 모드를 선택할 경우 , 각 DIO 라인은 100 kΩ 저항을 사용하여 GND (0 VDC) 가 됩니다 . 특정 라인을 하이로 구동하고 싶다면 , 최소 2.8 VDC 인 풀업 저항을 연결하십시오 . DIO 라인은 로우 상태에서 0.4 V 에서 최대 2.5 mA 를 싱킹할 수 있습니다 . 되도록 가장 큰 저항을 사용하여 , 풀업 작업 수행을 위해 필요 이상의 전류를 사용하는 것을 방지하도록 합니다 .

그러나, 풀업 저항값이 너무 커지지 않도록 하여, DIO 라인의 누출 전류 및 100 kΩ 풀다운 저항의 전류가 저항에서의 전압을 TTL 하이 레벨인 2.8 VDC 이하로 유지하도록 해야 합니다.

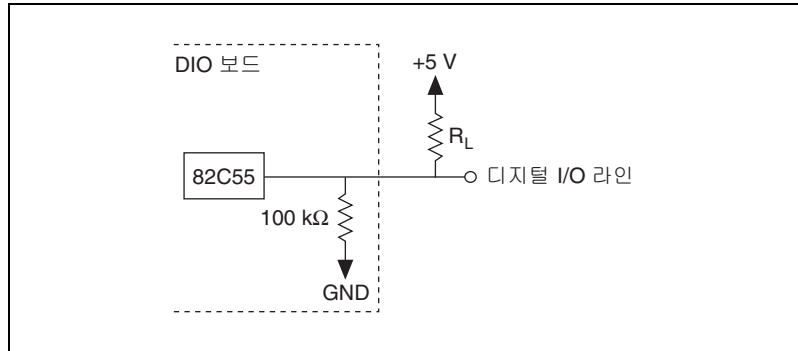


그림 3-6. 외부 로드가 있는 로우 DIO 전원 가동 상태에 맞게 설정한 DIO 채널

예제 :

점퍼 W1 을 로우로 설정합니다. 이는 모든 DIO 라인이 전원 가동시에 로우가 되는 것을 의미합니다. 한 채널을 하일로 만드려면, 다음의 단계를 완료하십시오 :

1. 로드 (R_L) 를 설치하십시오. 저항이 적을 수록, 전류 소모는 커지고 전압은 높아진다는 것을 기억하십시오.
2. 다음 수식에 따라, 2.8 V 의 로직 하이 레벨을 유지하고 최대 싱크 전류를 공급할 수 있는 로드의 최대값을 계산할 수 있습니다 :

$$V = I \times R_L \Rightarrow R_L = V/I$$

이 식에서 $V = 2.2 \text{ V}$; R_L 에서 측정한 전압

$I = 28 \mu\text{A} + 10 \mu\text{A}$; 100 kΩ 풀업 저항에서 측정한 2.8 V 및 최대 누출 전류 $10 \mu\text{A}$ (라인 PC0 및 PC3 제외)

따라서 $R_L = 5.7 \text{ k}\Omega$; $2.2 \text{ V}/38 \mu\text{A}$

이 5.7 kΩ의 저항값은 전원 가동시 DIO 라인에 최대 2.8 V 를 공급합니다. 저항값을 더 낮은 값으로 바꾸어, 전압을 낮추거나 또는 V_{CC} 의 가변값 및 다른 인수를 조절할 수 있습니다. 그러나, 저항값이 적어지면 전류를 더 많이 소모하게 되고, 결과적으로 이 라인과 연결된 다른 회로에는 더 적은 싱크 전류가 흐르게 됩니다. 이 5.7 kΩ 저항은 0.4 V 출력에서 로직 로우 싱크 전류를 0.8 mA 만큼 감소시킵니다.

작동 이론

이번 장에서는 PCI-DIO-96, PXI-6508 및 PCI-6503 의 기능적 개요를 살펴보고, 각 기능 단위별 작동에 대해 설명합니다.

기능적 개요

그림 4-1 의 블록다이어그램은 DIO 보드의 주요 기능적 구성요소를 보여줍니다.

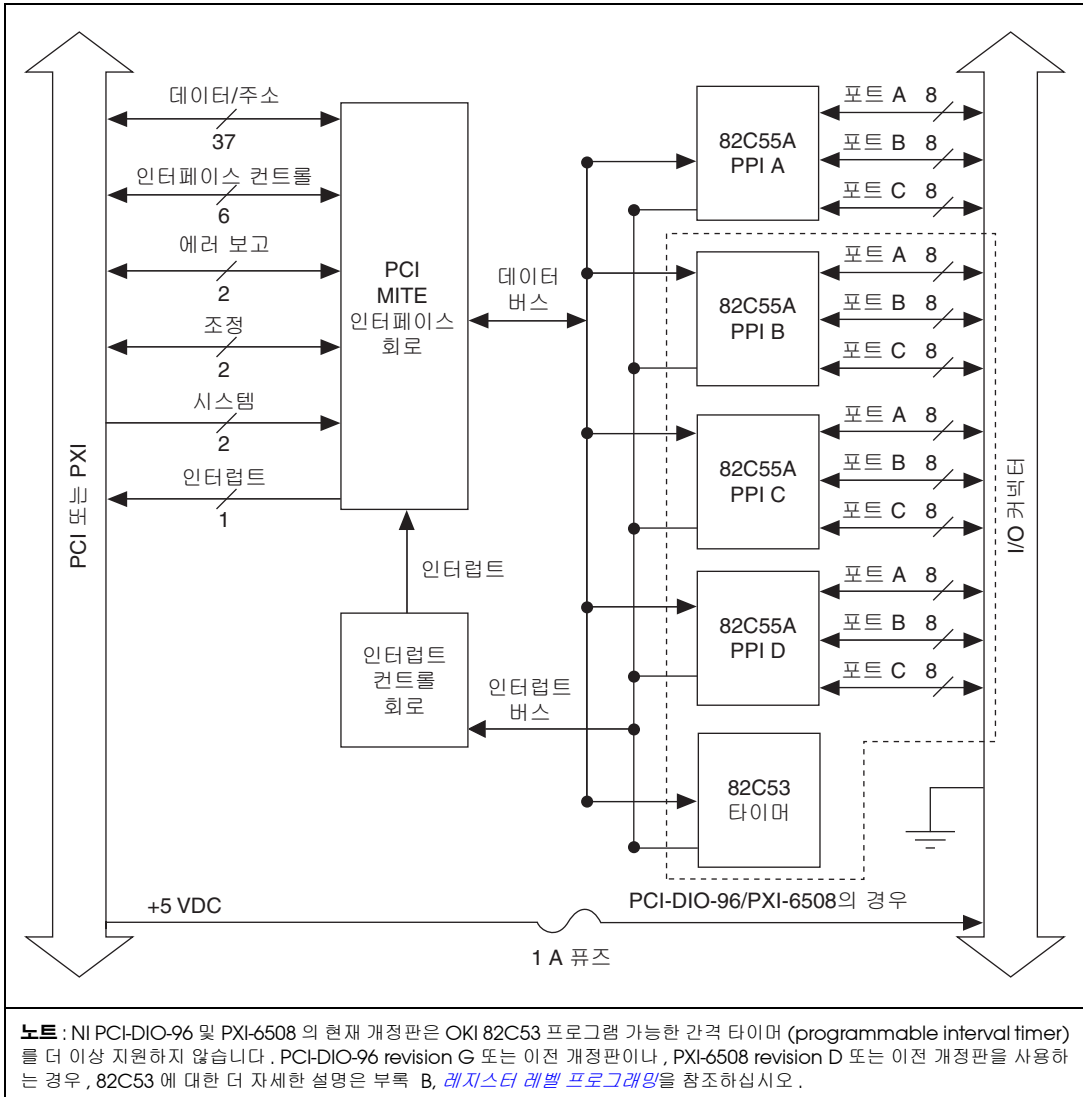


그림 4-1. PCI-DIO-96/PXI-6508 블록 다이어그램

PCI 인터페이스 회로

DIO 보드는 PCI MITE ASIC 를 사용하여 PCI 버스와 통신합니다 . National Instruments 는 특별히 데이터 수집을 위해 사용하도록 PCI MITE ASIC 를 설계하였습니다 . PCI MITE 는 *PCI Local Bus Specification, Revision 2.1* 과 완전히 호환됩니다 .

전원 가동시 보드용 베이스 메모리 주소와 인터럽트 레벨이 PCI MITE 내부에 저장됩니다. 스위치나 점퍼를 설정할 필요가 없습니다.

82C55A PPI (Programmable Peripheral Interface)

82C55A PPI 칩은 DIO 보드의 핵심입니다. PCI-DIO-96 및 PXI-6508에는 4 개의 PPI 가 있습니다. PCI-6503에는 하나의 PPI 가 있습니다. 각 칩에는 24 개의 프로그램 가능한 I/O 핀이 있으며, 그 핀은 PA, PB, PC 라는 3 개의 8 비트 포트를 나타냅니다. 각 포트는 입력 또는 출력 포트로 프로그램될 수 있습니다. 82C55A에는 단순 I/O (모드 0), 스트로브 I/O (모드 1) 및 양방향 I/O (모드 2) 라는 세 개의 작동 모드가 있습니다. 모드 1 과 2 에서, 세 개의 포트는 그룹 A 와 그룹 B 의 두 그룹으로 나뉩니다. 각 그룹에는 8 개의 데이터 비트 및 포트 C 로부터 온 컨트롤 및 상태 비트 (PC) 가 있습니다. 모드 1 과 2 는 컴퓨터에서 오는 핸드셰이킹 신호를 사용하여 데이터 전송을 동기화합니다. 더 자세한 정보는 부록 B, [레지스터 레벨 프로그래밍](#)을 참조하십시오.

PCI-DIO-96, PXI-6508 및 PCI-6503 의 다른 개정판은 Intersil Corporation 또는 OKI Semiconductor 에서 제조된 다른 82C55A 칩을 사용합니다. Intersil CMS82C55A 또는 CS82C55A 에 대한 가장 최근 데이터 쉬트를 보려면, www.intersil.com을 방문하십시오. OKI MSM82C55A 에 대한 가장 최근 데이터 쉬트를 보려면, www2.okisemi.com을 방문하십시오.

테이블 4-1 은 PCI-DIO-96, PXI-6508 및 PCI-6503 에서 사용되는 82C55A 에 대한 설명입니다.

테이블 4-1. PCI-DIO-96, PXI-6508 및 PCI-6503 에서 사용되는 82C55A 칩

타입	버스 홀드†	PCI-DIO-96	PXI-6508	PCI-6503
Intersil CMS82C55A	아니오	Revision K 또는 이후 개정	Revision G 또는 이후 개정	Revision G 또는 이후 개정
Intersil CS82C55A	예	182920H-01	184836E-01	185183E-01
OKI MSM82C55A	아니오	182920J-01, revision G 또는 이전 개정	184836F-01, revision D 또는 이전 개정	185183F-01, revision D 또는 이전 개정
† 칩의 포트 핀에 버스 홀드 기능이 있는지의 여부를 나타냅니다.				

타이밍 스펙

이 섹션에서는 DIO 보드의 핸드셰이킹에 대한 타이밍 스펙을 보여줍니다. 핸드셰이킹 라인 STB* 와 IBF 는 입력 전송을 동기화합니다. 핸드셰이킹 라인 OBF* 와 ACK* 는 출력 전송을 동기화합니다.

테이블 4-2 는 핸드셰이킹 다이어그램에 나타나는 신호를 설명합니다.

테이블 4-2. 타이밍 다이어그램에 사용되는 신호 이름

이름	타입	설명
STB*	입력	스트로브 입력 — 이 핸드셰이킹 라인의 로우 신호는 데이터가 입력 래치에 로드합니다.
IBF	출력	스트로브 입력 — 이 핸드셰이킹 라인의 하이 신호는 데이터가 입력 래치에 로드되었음을 나타냅니다. 로우 신호는 보드가 더 많은 데이터를 받을 준비가 되어 있다는 것을 나타냅니다. 이것은 입력 인식 신호입니다.
ACK*	입력	인식 입력 — 이 핸드셰이킹 라인의 로우 신호는 포트에 쓴 데이터가 수락되었음을 나타냅니다. 이 신호는 DIO 보드에서 온 데이터를 받았다는 외부 신호로부터의 응답입니다.
OBF*	출력	Output Buffer Full — 이 핸드셰이킹 라인의 로우 신호는 포트에 데이터를 썼음을 나타냅니다.
INTR	출력	인터럽트 요청 — 이 신호는 데이터 전송 중 82C55A 가 서비스를 요청했을 때 하이가 됩니다. 이 신호를 생성하기 위해서는 적절한 인터럽트 활성화 비트가 설정되어야 합니다.
RD*	내부	읽기 — 이 신호는 컴퓨터 I/O 확장 버스의 컨트롤 라인에서 생성된 읽기 신호입니다.
WR*	내부	쓰기 — 이 신호는 컴퓨터 I/O 확장 버스의 컨트롤 라인에서 생성된 쓰기 신호입니다.
DATA	양방향	특정 포트에서의 데이터 라인 — 출력 모드에서, 이 신호는 데이터가 데이터 라인에서 사용가능한지의 여부를 나타냅니다. 입력 모드에서, 이 신호는 데이터 라인의 데이터가 언제 유효해야 하는지를 나타냅니다.

모드 1 입력 타이밍

그림 4-2 는 모드 1 에서의 입력 전송에 대한 타이밍 스펙을 보여줍니다 .

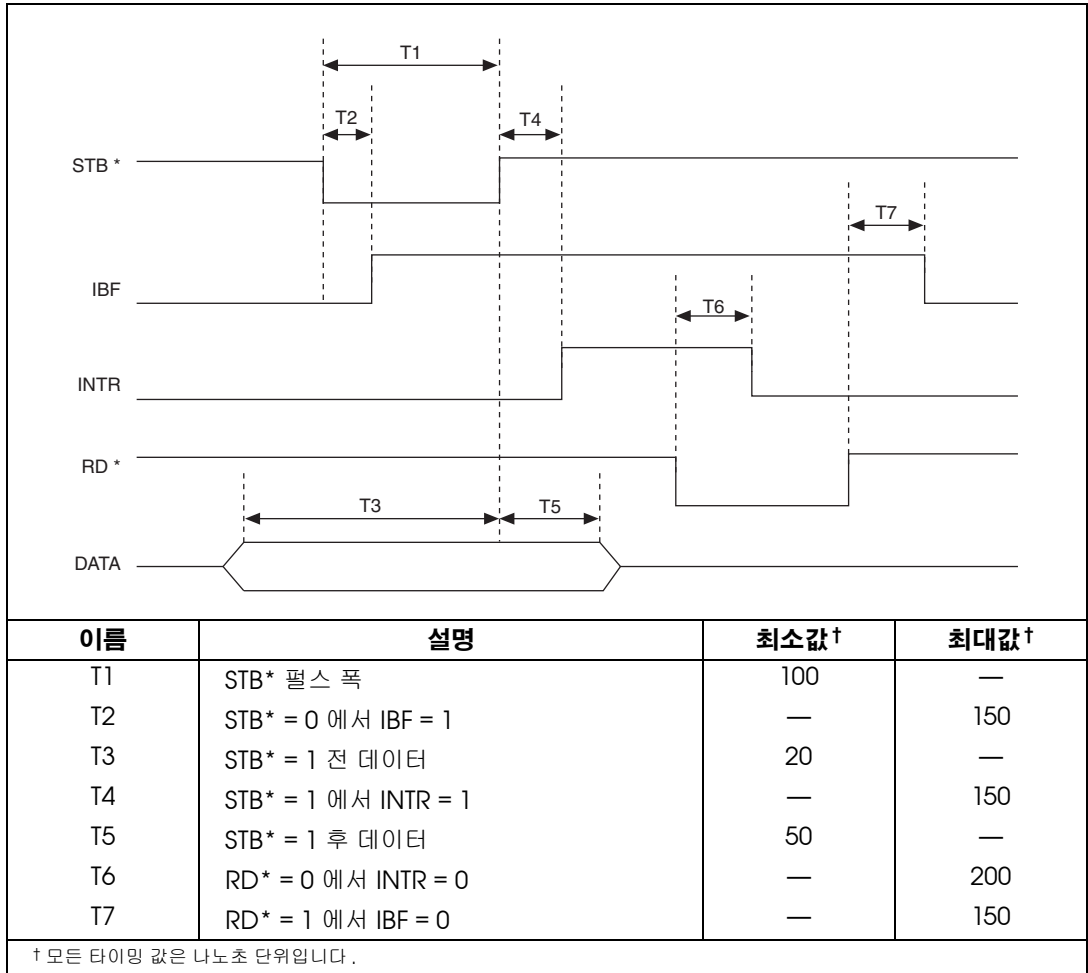


그림 4-2. 모드 1 입력 전송에 대한 타이밍 스펙

모드 1 출력 타이밍

그림 4-3 은 모드 1 에서의 출력 전송에 대한 타이밍 스펙을 보여줍니다 .

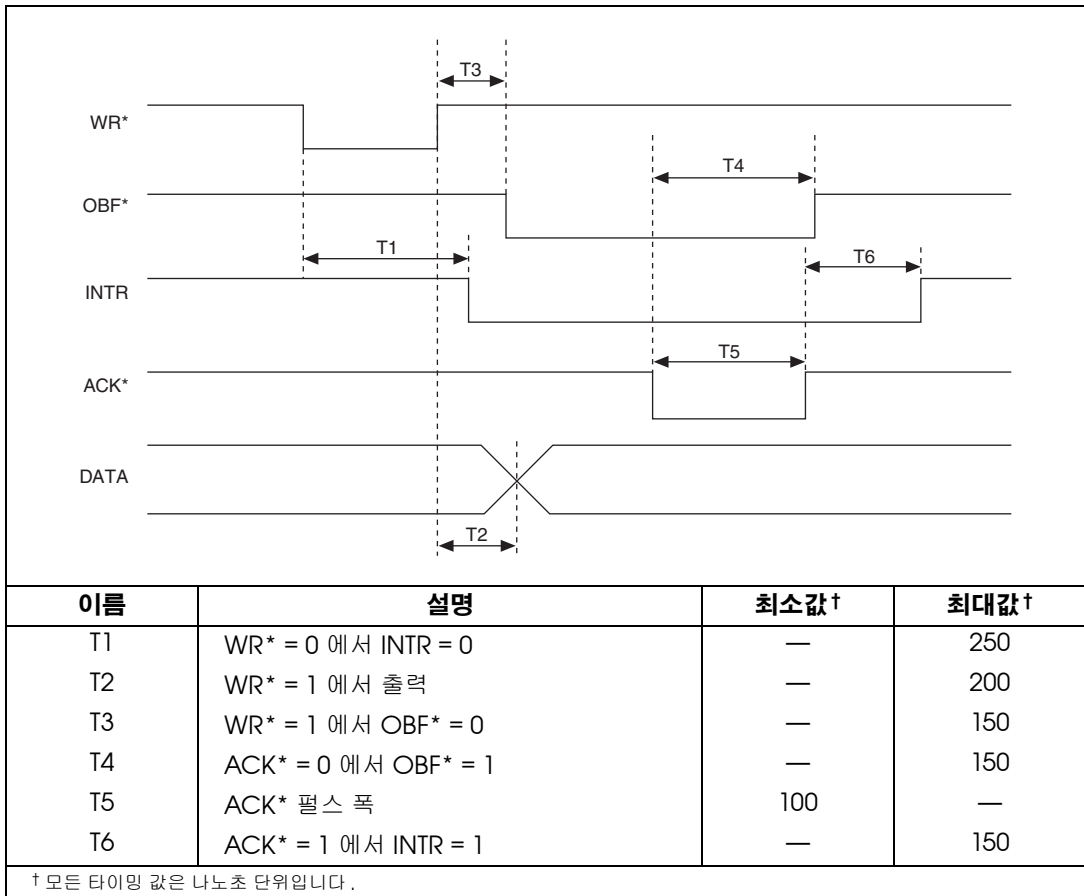


그림 4-3. 모드 1 출력 전송에 대한 타이밍 스펙

모드 2 양방향 타이밍

그림 4-4 는 모드 2 에서의 양방향 전송에 대한 타이밍 스펙을 보여줍니다 .

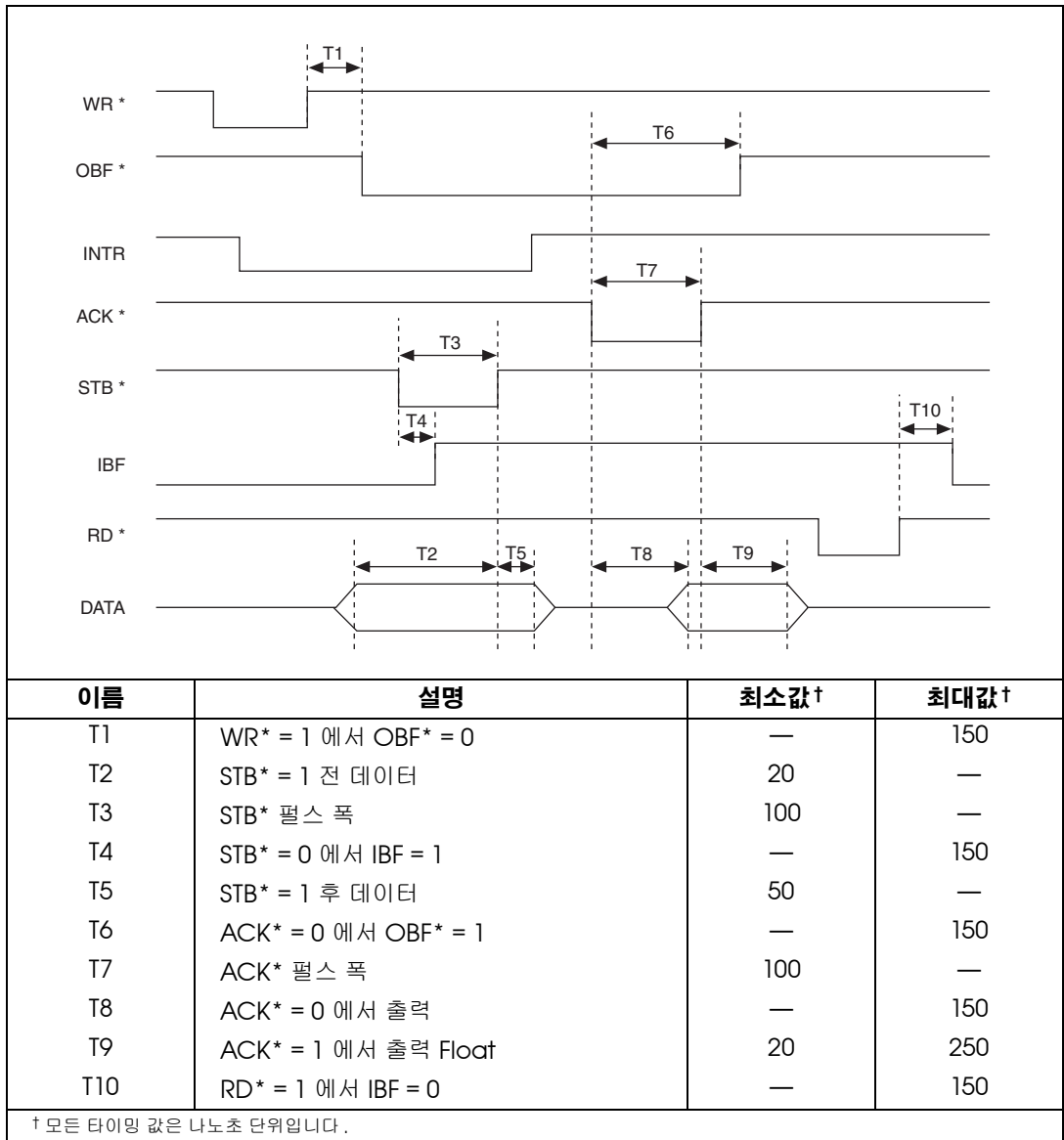


그림 4-4. 모드 2 양방향 전송에 대한 타이밍 스펙

스펙

이 부록에서는 PCI-DIO-96, PXI-6508 및 PCI-6503의 스펙을 보여줍니다. 별도의 표시가 없는 경우, 다음은 25 °C에서 적용되는 일반적인 스펙입니다.

디지털 I/O

채널 개수

PCI-DIO-96 및 PXI-6508 96 I/O

PCI-6503 24 I/O

호환성 TTL

전원이 켜진 상태

PCI-DIO-96 입력 (하이 Z), 100 kΩ을 통해 풀업됨

PXI-6508, PCI-6503 입력 (하이 Z), 100 kΩ을 통해 풀업 또는 풀다운됨 (점퍼 선택가능)

핸드셰이킹 입력, 출력 또는 양방향

데이터 전송 인터럽트, 프로그램 I/O

디지털 로직 레벨

입력 신호

최대 입력 로직 하이와 출력 로직 하이 전압은 V_{CC} 공급 전압을 5.0 V라고 가정합니다. 5.0 V의 V_{CC} 공급 전압이 주어졌을 때, 각각의 I/O 라인에서 절대적인 최대 전압 등급은 GND 기준으로 -0.5 ~ 5.5 V입니다.

레벨	최소	최대
입력 로직 하이 전압	2.2 V	5.3 V
입력 로직 로우 전압	-0.3 V	0.8 V
입력 하이 전류 ($V_{in} = 5\text{ V}$, 저항은 풀업으로 설정 †)	—	10 $\mu\text{A}^\ddagger$

레벨	최소	최대
입력 하이 전류 ($V_{in} = 5\text{ V}$, 저항은 풀다운으로 설정 †)	—	75 μA
입력 로직 로우 전류 ($V_{in} = 0\text{ V}$, 저항은 풀업으로 설정 †)	—	-75 μA
입력 로직 로우 전류 ($V_{in} = 0\text{ V}$, 저항은 풀다운으로 설정 †)	—	-10 $\mu\text{A}^\ddagger$
† PCI-DIO-96 바이어스 저항은 항상 풀업으로 설정되어 있습니다. PXI-6508 및 PCI-6503 에서 점퍼 W1 을 사용하여 풀업 또는 풀다운을 선택하십시오. ‡ 예외 : PC3 및 PC0 라인은 20 μA 입니다.		

출력 신호

핀 49 (+5 V 에서) 최대 1.0 A

레벨	최소	최대
출력 로직 하이 전압 ($I_{ol} = -2.5\text{ mA}$)	3.0 V	5.0 V
출력 로직 하이 전압 ($I_{oh} = -4\text{ mA}$)	2.7 V	5.0 V
출력 로직 로우 전압 ($I_{ol} = 2.5\text{ mA}$)	0 V	0.4 V
출력 로직 로우 전압 ($I_{ol} = 4\text{ mA}$)	0 V	0.5 V

출력 전류 보통 2.5 mA



주의

일반적인 2.5 mA (5 V 출력에서 <2 k Ω 로드) 이상의 전류를 사용하면 디바이스의 82C55 PPI 가 심각한 손상을 입을 수 있습니다. 82C55 PPI 는 로직 디바이스로 사용하기 위해 설계되었습니다. 82C55 PPI 는 낮은 임피던스 로드 및 / 또는 높은 전류 구동을 필요로 하는 LED, SSR, 기계적 릴레이 등의 전류 구동기로 사용되어서는 안 됩니다. 더 높은 전류 구동이 필요한 경우, 24 mA 전류 구동기가 있는 NI PCI/PXI-6509 5V/TTL 96 라인 산업용 DIO 보드나, NI PCI/PXI-651x 높은 전류 구동 산업용 DIO 보드, 또는 디지털 출력 라인의 전류 구동을 증가시키는 달링턴 어레이와 같은 외부 회로를 사용하는 것을 고려하십시오. 디바이스의 브레이크다운 레벨에 대한 더 자세한 정보 및 82C55 의 데이터 시트에 대한 링크는, ni.com/info 에서 정보 코드 82c55 를 입력하여 참조하십시오.

전송 속도

NI-DAQ 소프트웨어 사용시 최대..... 50 kbytes/s

일정 지속 속도 (보통)..... 1 ~ 10 kbytes/s

전송 속도는 프로그램이 데이터를 읽거나 데이터를 보드에 쓰는 속도입니다 .
그러므로 , 사용자의 시스템 , 소프트웨어 또는 어플리케이션에 따라 달라집니다 .
DIO 보드의 전송 속도를 컨트롤하는 중요한 요소는 다음과 같습니다 :

- 컴퓨터 시스템 성능
- 프로그래밍 환경 (레지스터 레벨 프로그래밍 또는 NI-DAQ)
- 프로그래밍 언어 및 코드 효율성
- 실행 모드 (포어그라운드 또는 백그라운드 . 백그라운드 실행은 보통 인터럽트를 사용)
- 진행 중인 다른 작업
- 어플리케이션

예를 들어 , 일정 지속 속도가 요구되는 패턴 생성 , 데이터 수집 또는 웨이브 폼 생성 어플리케이션에서보다 , 평균 속도가 요구되는 핸드셰이킹 또는 데이터 전송 어플리케이션에서 더 높은 전송 속도를 얻을 수 있습니다 .

최대 속도는 233 MHz 펜티엄 컴퓨터에서 다른 고속 작업이 진행 중이지 않은 상태에서 인터럽트 기반을 사용하여 Traditional NI-DAQ (Legacy) 및 LabWindows/CVI 소프트웨어를 실행했을 때 얻어졌습니다 .

버스 인터페이스

타입 슬레이브

전원 요구사항

전원 사용량 +5 VDC 에서 400 mA (±5%)

I/O 커넥터에서 이용가능한 전원 +4.65 ~ +5.25 V 에서 1 A 의 퓨즈
가 연결되어 있음

물리적

규격

PCI-DIO-96 13.7 × 10.7 cm (5.4 × 4.2 in.)

PXI-6508 17.5 × 10.7 cm (6.9 × 4.2 in.)

PCI-6503 12.2 × 9.5 cm (4.8 × 3.7 in.)

무게

PCI-DIO-96	101 g (3.6 oz)
PXI-6508.....	148 g (5.2 oz)
PCI-6503.....	55 g (1.9 oz)

I/O 커넥터

PCI-DIO-96 및 PXI-6508	100-핀 암 0.050 시리즈 D 타입
PCI-6503.....	50 핀 수 리본 케이블 커넥터

환경

모듈을 청소해야 할 경우에는 부드러운 비금속성 솔을 사용해 주십시오 .

사용 온도 0 ~ 55 °C

보관 온도 -20 ~ 70 °C

상대 습도 5 ~ 90%, 비응축식

최대 고도 2,000 미터

오염 등급 2

실내에서만 사용

충격 및 진동

기능 충격 (PXI-6508)..... MIL-T-28800 E 클래스 3
(per Section 4.5.5.4.1);
반 사인 충격 펄스 , 11 ms 지속 ,
30 g 피크 , 표면 당 30 번의 충격

작동 진동 , 무작위
(PXI-6508)..... 5 ~ 500 Hz, 0.31 grms, 3 축

비작동 진동 , 무작위
(PXI-6508)..... 5 ~ 500 Hz, 2.5 grms, 3 축



노트

무작위 진동 프로파일은 MIL-T-28800E 및 MIL-STD-810E Method 514 에 따라 개발되었습니다 . 테스트 레벨은 카테고리 1 (기본 운송 수단 , 그림 514.4-1 ~ 514.4-3) 의 MIL-STD-810E 에서 권장된 값을 초과합니다 .

안전성

PCI-DIO-96/PXI-6508/PCI-6503 은 측정, 제어, 연구실 사용을 위한 전기 기기의 다음과 같은 안전성 기준을 충족시키도록 설계되었습니다:

- IEC 61010-1, EN61010-1
- UL 61010-1, CSA 61010-1



노트

UL 및 기타 안전성 인증 관련 정보는 제품 라벨 또는 *온라인 제품 인증* 섹션을 참조하십시오.

전자파 적합성

이 제품은 다음과 같은 측정, 제어, 연구용 전기 기기에 대한 EMC 기준을 준수합니다:

- EN 61326 (IEC 61326): 클래스 A 전자파 방출; 기본 전자파 내성
- EN 55011 (CISPR 11): 그룹 1, 클래스 A 전자파 방출
- AS/NZS CISPR 11: 그룹 1, 클래스 A 전자파 방출
- FCC 47 CFR Part 15B: 클래스 A 전자파 방출
- ICES-001: 클래스 A 전자파 방출



노트

이 제품의 EMC 평가 기준에 대한 정보는 *온라인 제품 인증* 섹션을 참조하십시오.



노트

EMC 규정에 따라, 이 디바이스를 쉴드된 케이블과 함께 사용하십시오.

CE 규정 준수 (€)

이 제품은 다음의 European Directives 주요 기준을 준수합니다:

- 2006/95/EC; 저전압 지침 (안전성)
- 2004/108/EC; 전자파 적합성 규정 (EMC)

온라인 제품 인증

추가적인 규정 준수 관련 정보는 이 제품의 적합 선언 (Declaration of Conformity, DoC) 을 참조하십시오. 제품 인증서 및 DoC 를 보려면, ni.com/certification 에서 모델 번호 또는 제품군으로 검색한 후 Certification 란에서 적절한 링크를 클릭하십시오.

환경 관리

NI는 환경을 보호하면서 제품을 설계하고 제조하기 위해 노력해 오고 있습니다. NI는 자사 제품에서 특정 유해 물질을 제거하여 주변 환경뿐만 아니라 NI 고객 여러분에게도 도움이 되도록 하였습니다.

환경과 관련된 더 상세한 정보는 ni.com/environment의 *NI and the Environment* 웹 페이지를 참조하십시오. NI에서 준수하고 있는 환경 기준 및 규정뿐만 아니라 이 문서에 포함되지 않은 기타 환경 정보를 확인하실 수 있습니다.



Waste Electrical and Electronic Equipment (WEEE)

EU 고객 제품 수명이 끝나면, 모든 제품은 *반드시* WEEE 리사이클 센터로 보내야 합니다. WEEE 리사이클 센터와 National Instruments WEEE 방침에 대한 정보는 ni.com/environment/weee.htm을 방문하십시오.



电子信息产品污染控制管理办法（中国 RoHS）

中国客户 National Instruments 符合中国电子信息产品中限制使用某些有害物质指令 (RoHS)。关于 National Instruments 中国 RoHS 合规性信息, 请登录 ni.com/environment/rohs_china。(For information about China RoHS compliance, go to ni.com/environment/rohs_china.)

레지스터 레벨 프로그래밍

이 부록에서는 PCI-DIO-96, PXI-6508 및 PCI-6503 의 각 레지스터의 주소 및 기능에 대한 자세한 설명과 DIO 보드 회로 작동법 및 작업 수행에 필요한 단계별 프로그래밍의 예를 제공합니다.



노트 NI PCI-DIO-96 및 PXI-6508 의 현재 개정판은 OKI 82C53 프로그램 가능한 간격 타이머 (programmable interval timer) 를 지원하지 않습니다. PCI-DIO-96 revision G 또는 이전 개정판이나 PXI-6508 revision D 또는 이전 개정판을 사용하는 경우, 82C53 에 대한 더 자세한 설명은 본 부록을 참조하십시오.



노트 LabVIEW, LabWindows/CVI, NI-DAQmx 또는 Traditional NI-DAQ (Legacy) 와 같은 프로그래밍 소프트웨어 패키지와 함께 DIO 보드를 사용하는 경우, 이 부록을 읽을 필요가 없습니다.

DAQ 디바이스를 레지스터 레벨에서 프로그래밍하는 것은 가능합니다. 그러나, National Instruments 는 생산성 향상을 위해 NI-DAQmx, Traditional NI-DAQ (Legacy) 또는 LabVIEW, Measurement Studio for Visual Studio .NET, LabWindows/CVI 등과 같은 드라이버 소프트웨어 및 어플리케이션 개발 소프트웨어와 함께 NI PCI-DIO-96, PXI-6508 및 PCI-6503 디바이스를 사용할 것을 강력히 권장합니다. NI-DAQmx 및 Traditional NI-DAQ (Legacy) 소프트웨어는 레지스터 레벨 프로그래밍과 동일한 유연성을 지니며, 프로그래밍이 더 쉽습니다.

그러나 일부 경우에서, NI-DAQmx 및 Traditional NI-DAQ (Legacy) 드라이버 소프트웨어가 사용자의 프로그래밍 요구에 부합하지 않는 경우도 있습니다. 예를 들어, 사용자가 82C53 을 하드웨어 타이밍에 의한 인터럽트용으로 프로그래밍하거나, NI-DAQmx 또는 Traditional NI-DAQ (Legacy) 이 지원하지 않는 OS 에서 DAQ 디바이스를 프로그래밍하는 경우 NI-DAQmx Base 소프트웨어를 대신 사용할 수 있습니다. 사용자의 OS 가 NI-DAQmx Base 에서도 지원되지 않는 경우에는 이 부록을 사용하여 디바이스를 프로그래밍해야 합니다.

NI Measurement Hardware Driver Development Kit (MHDDK) 은 다양한 OS 용 레지스터 레벨 프로그래밍 예와 버스 인터페이스를 제공합니다. MHDDK 를 사용하여 사용자 지정 드라이버 개발을 시작할 수 있습니다. 또한 이 부록의 레지스터 맵이 필요합니다. 인터럽트와 같은 고급 기능은 이 부록의 예에서만 다루어지며, MHDDK 의 예에서는 다루어지지 않습니다. 이 문서를 보려면, ni.com/info 에서 정보 코드 mhddk 를 입력하십시오.

82C53 프로그램 가능한 간격 타이머 (PCI-DIO-96 및 PXI-6508 의 경우)

PCI-DIO-96 및 PXI-6508 에는 레지스터 레벨 프로그래머를 위한 82C53 프로그램 가능한 간격 타이머가 있습니다. 82C53 프로그램 가능한 간격 타이머는 사용자의 컴퓨터에 타이밍된 인터럽트 요청을 보냅니다. 82C53 에는 세 개의 16 비트 카운터가 있으며 그 각각은 여섯 개의 다른 모드 중 하나로 사용될 수 있습니다. PCI-DIO-96 및 PXI-6508 은 그 중 두 개의 카운터를 사용하여 인터럽트 요청을 생성합니다; 세 번째의 카운터는 사용되지 않으며, 접근할 수 없습니다. 더 자세한 정보는 [82C53 프로그래밍 고려사항](#) 섹션을 참조하십시오.

인터럽트 컨트롤 회로

소프트웨어로 컨트롤되는 두 개의 레지스터가 어떤 디바이스를 사용하여 인터럽트를 생성할 것인지를 결정합니다. 각 82C55A 디바이스에는 인터럽트 회로에 연결된 PC3 과 PC0 이라는 두 개의 인터럽트 라인이 있습니다. PCI-DIO-96 및 PXI-6508 의 82C53 디바이스의 세 개의 출력 중 두 개의 출력이 인터럽트 회로에 연결되어 있습니다. 인터럽트 회로가 활성화되고 해당 활성화 비트가 설정된 경우, 이 10 개의 신호 모두가 컴퓨터에 인터럽트 신호를 보낼 수 있습니다. 추가적인 정보는 [82C53 프로그래밍 고려사항](#) 섹션을 참조하십시오. 일반적으로, 핸드셰이킹 회로는 82C55A 디바이스의 PC3 및 PC0 회로를 컨트롤합니다; 하지만, 이 두 개의 라인 모두를 입력으로 설정한 후 외부 인터럽트로 사용할 수 있습니다. 신호 라인이 로우에서 하이로 변할 때 인터럽트가 발생합니다.

인터럽트에 대한 더 자세한 정보는 [82C53 프로그래밍 고려사항](#) 섹션을 참조하십시오.

그림 B-1의 블록다이어그램은 인터럽트 컨트롤 회로를 보여줍니다.

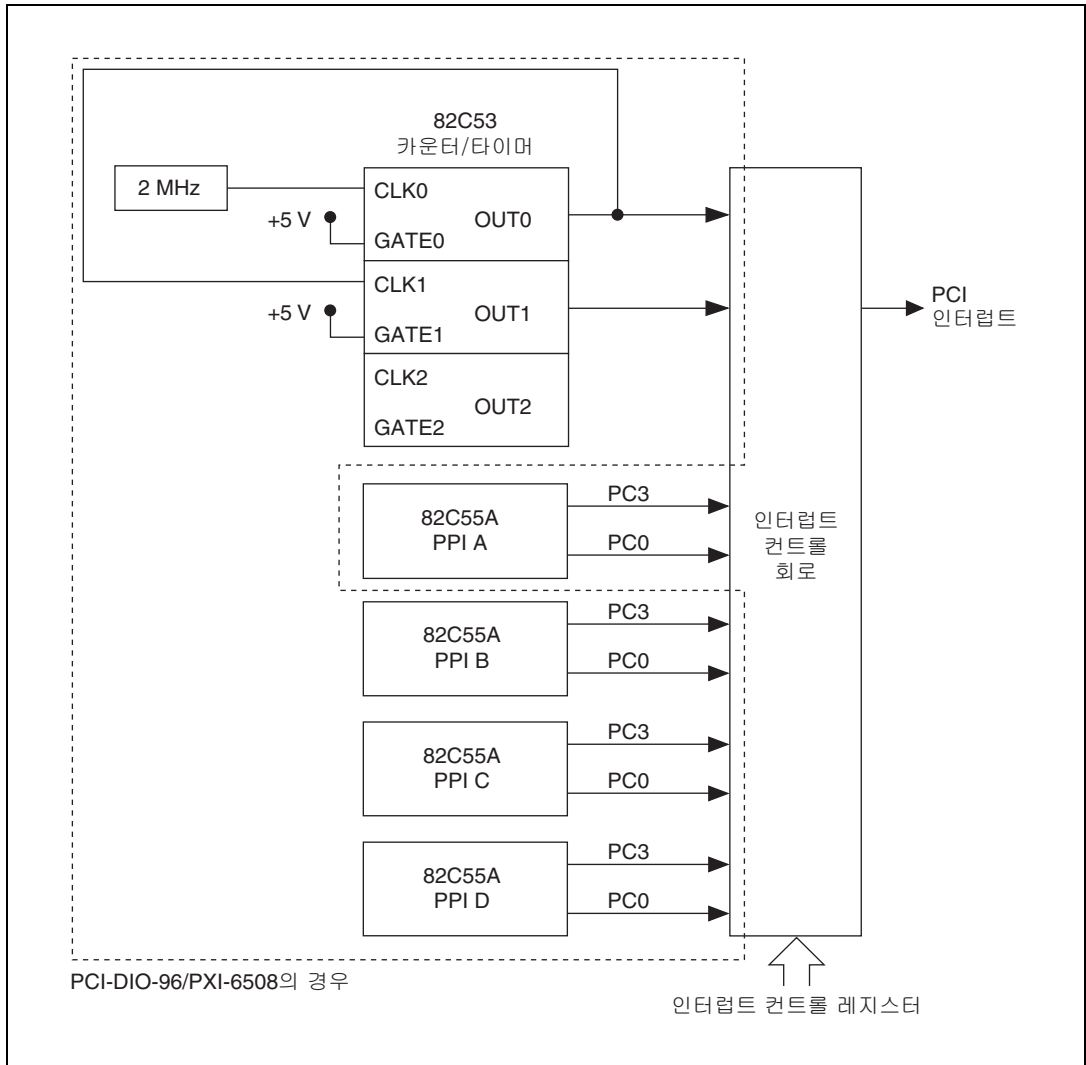


그림 B-1. 인터럽트 컨트롤 회로 블록다이어그램

레지스터 맵 및 설명

이 섹션에서는 PCI-DIO-96, PXI-6508 및 PCI-6503 의 각 레지스터의 주소와 기능에 대해 자세히 설명합니다 .

개요

82C55A 의 세 개의 8 비트 포트는 그룹 A 및 그룹 B 라는 두 개의 그룹으로 나뉘며 , 12 개의 신호를 갖습니다 . 8 비트 컨트롤 워드가 각 그룹의 작동 모드를 선택합니다 . 그룹 A 는 비트 설정 포트 A ($A<7..0>$) 및 포트 C ($C<7..4>$) 의 상위 4 개의 비트 (니블) 를 컨트롤합니다 . 그룹 B 는 비트 설정 포트 B ($B<7..0>$) 및 포트 C ($C<3..0>$) 의 하위 니블을 컨트롤합니다 . 설정 비트는 [82C55A 용 레지스터 설명](#) 섹션에 정의되어 있습니다 . PCI-DIO-96 및 PXI-6508 의 네 개의 82C55A PPI 디바이스를 구별해야 할 필요가 있을 때에는 , PPI A, PPI B, PPI C, PPI D 라고 칭합니다 .

PCI-DIO-96 및 PXI-6508 의 82C53 의 3 개의 16 비트 카운터는 개별 데이터 포트를 통해 접근할 수 있으며 , 8 비트 컨트롤 워드로 컨트롤합니다 . 컨트롤 워드는 카운터 데이터 포트의 접근 방식 및 카운터 사용 모드를 선택합니다 . 이러한 설정 비트는 [82C53 용 레지스터 설명 \(PCI-DIO-96 및 PXI-6508 의 경우\)](#) 섹션에 정의되어 있습니다 .

82C55A 및 82C53 디바이스 외에도 , 두 개의 레지스터가 어떤 내장 신호가 인터럽트를 생성할 지를 선택합니다 . 각 82C55A 디바이스에 두 개의 인터럽트 신호가 있으며 , 82C53 에도 두 개의 인터럽트 신호가 있습니다 . 개별 활성화 비트는 이러한 10 개의 신호 중 어떤 신호가 인터럽트를 생성할 지 선택합니다 . 또한 , 마스터 활성화 신호는 보드가 실제로 컴퓨터에 요청을 보낼 수 있을지를 결정합니다 . [인터럽트 컨트롤 레지스터용 레지스터 설명](#) 섹션에서 이러한 레지스터 용 설정 비트에 대한 정의를 볼 수 있습니다 .

레지스터 맵

테이블 B-1 은 DIO 보드용 주소 맵을 보여 줍니다. PCI-DIO-96 및 PXI-6508 은 모든 레지스터를 사용합니다. 테이블에서 보이는 것처럼, PCI-6503 은 레지스터의 서브셋을 사용합니다.

테이블 B-1. 레지스터 주소 맵

레지스터 이름	오프셋 주소 (16 진수)	크기	타입	PCI-6503 장착 여부
82C55A 레지스터 그룹				
PPI A				
PORTA 레지스터	00	8 비트	읽기 및 쓰기	예
PORTB 레지스터	01	8 비트	읽기 및 쓰기	예
PORTC 레지스터	02	8 비트	읽기 및 쓰기	예
설정 레지스터	03	8 비트	쓰기 전용	예
82C55A 레지스터 그룹 (계속)				
PPI B				
PORTA 레지스터	04	8 비트	읽기 및 쓰기	아니오
PORTB 레지스터	05	8 비트	읽기 및 쓰기	아니오
PORTC 레지스터	06	8 비트	읽기 및 쓰기	아니오
설정 레지스터	07	8 비트	쓰기 전용	아니오
PPI C				
PORTA 레지스터	08	8 비트	읽기 및 쓰기	아니오
PORTB 레지스터	09	8 비트	읽기 및 쓰기	아니오
PORTC 레지스터	0A	8 비트	읽기 및 쓰기	아니오
설정 레지스터	0B	8 비트	쓰기 전용	아니오
PPI D				
PORTA 레지스터	0C	8 비트	읽기 및 쓰기	아니오
PORTB 레지스터	0D	8 비트	읽기 및 쓰기	아니오
PORTC 레지스터	0E	8 비트	읽기 및 쓰기	아니오
설정 레지스터	0F	8 비트	쓰기 전용	아니오
82C53 레지스터 그룹				
카운터 0	10	8 비트	읽기 및 쓰기	아니오
카운터 1	11	8 비트	읽기 및 쓰기	아니오
설정 레지스터	13	8 비트	쓰기 전용	아니오
인터럽트 컨트롤 레지스터 그룹				
레지스터 1	14	8 비트	쓰기 전용	예
레지스터 2	15	8 비트	쓰기 전용	예
인터럽트 클리어 레지스터	16	8 비트	쓰기 전용	아니오

레지스터 설명

다음 섹션에서는 DIO 보드에 사용되는 디바이스용 레지스터에 대한 설명이 나옵니다. X 라벨이 붙은 레지스터 설명 비트는 예약된 비트를 나타냅니다. 이러한 비트에는 항상 0을 쓰십시오.

레지스터 설명 포맷

이 섹션에서는 테이블 B-1의 순서대로 각 DIO 보드 레지스터에 대해 설명합니다. 각 레지스터 그룹을 소개하고, 해당 레지스터의 상세한 비트에 대해 설명합니다. 개별 레지스터 설명에는 해당 레지스터의 주소 (16 진수), 타입, 데이터 크기 및 비트 맵과 각 비트에 대한 설명이 나옵니다.

레지스터 비트 맵은 해당 레지스터의 다이어그램이며 왼편에는 MSB (비트 7)를, 오른편에는 LSB (비트 0)를 보여줍니다. 내부에 비트 이름이 있는 사각형은 각 비트를 나타냅니다.

인터럽트 클리어 레지스터용 비트 맵은 *해당 없음*, *비트 사용 안 함*을 말합니다. 이 레지스터에 쓰는 데이터는 무시할 수 있습니다. 그러므로 모든 비트 패턴이 사용될 수 있습니다.

82C55A 용 레지스터 설명

그림 B-2는 82C55A의 프로그래밍을 완성하는 두 개의 컨트롤 워드 포맷을 보여줍니다. 컨트롤 워드 플래그 (비트 7)가 어느 컨트롤 워드 포맷을 프로그램할 지를 결정합니다. 컨트롤 워드 플래그가 1일 때, 비트 6에서 0이 82C55A 포트의 I/O 특성을 선택합니다. 이 비트는 또한 포트의 작동 모드 (모드 0, 모드 1 또는 모드 2)를 선택합니다. 컨트롤 워드 플래그가 0일 때, 비트 3에서 0이 포트 C의 비트 설정 / 리셋을 선택합니다.

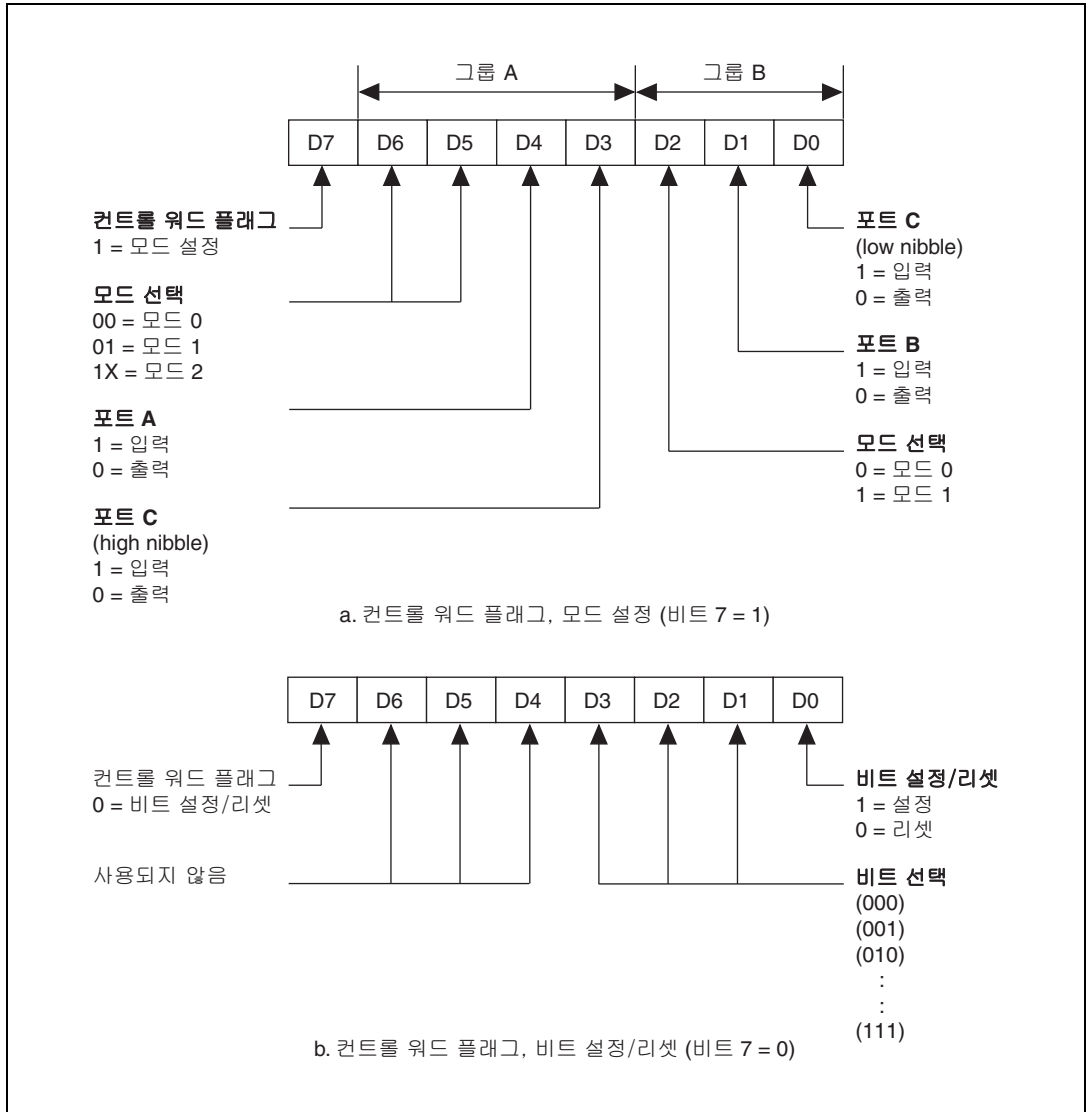


그림 B-2. 82C55A 용 컨트롤 워드 포맷

테이블 B-2 는 포트 C 의 각 비트를 설정 또는 리셋하는 컨트롤 워드를 보여줍니다 . 포트 C 의 비트를 설정 또는 리셋하는 옵션을 프로그래밍하면 컨트롤 워드의 비트 7 이 삭제됩니다 .

테이블 B-2. 포트 C 설정 / 리셋 컨트롤 워드

비트 번호	비트 설정 컨트롤 워드	비트 리셋 컨트롤 워드	포트 C 의 비트 설정 또는 리셋
0	0xxx0001	0xxx0000	xxxxxxb
1	0xxx0011	0xxx0010	xxxxxbx
2	0xxx0101	0xxx0100	xxxxbxx
3	0xxx0111	0xxx0110	xxxbxxx
4	0xxx1001	0xxx1000	xxxbxxx
5	0xxx1011	0xxx1010	xxbxxxx
6	0xxx1101	0xxx1100	xbxxxxx
7	0xxx1111	0xxx1110	bxxxxxx

82C53 용 레지스터 설명 (PCI-DIO-96 및 PXI-6508 의 경우)

그림 B-3 은 82C53 의 프로그래밍에 사용하는 컨트롤 워드 포맷을 보여줍니다. 컨트롤 워드의 비트 7 및 6 은 프로그램할 카운터를 선택합니다. 비트 5 및 4 는 카운터 데이터를 쓸 모드 및 선택된 카운터에서 읽을 모드를 선택합니다. 비트 3, 2, 1 은 선택된 카운터의 모드를 선택합니다. 비트 0 은 카운터가 2 진수로 카운트할 지 또는 BCD 포맷으로 카운트할 지를 선택합니다. 설정 레지스터에 카운터를 설정하도록 쓴 후, 액세스 모드가 컨트롤하는 대로 카운터를 한 번에 8 비트씩 읽거나 쓸 수 있습니다.

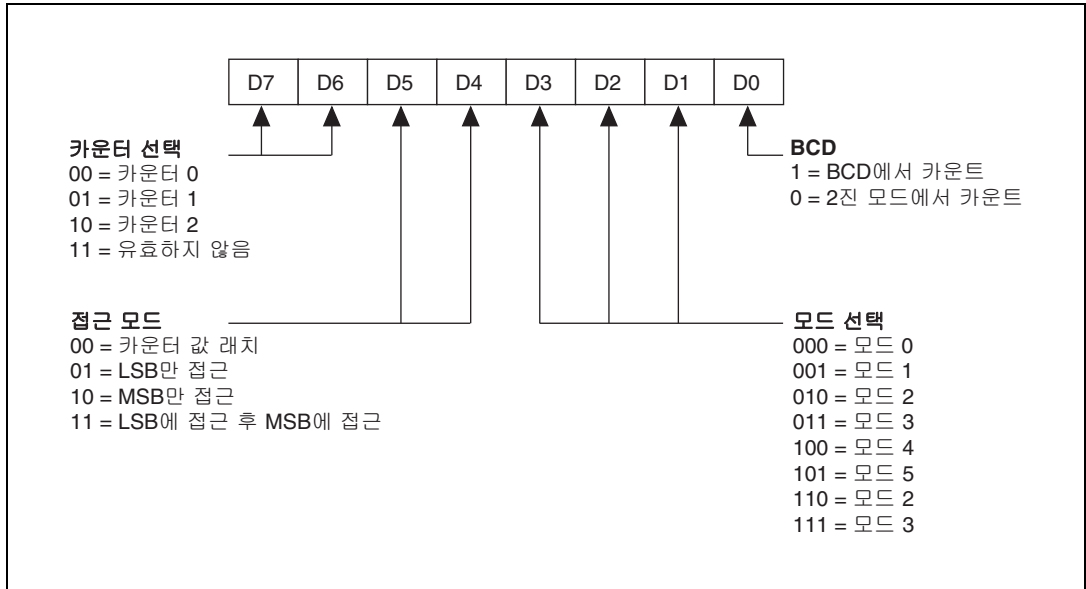


그림 B-3. 82C53 용 컨트롤 워드 포맷

인터럽트 컨트롤 레지스터용 레지스터 설명

DIO 보드에는 두 개의 인터럽트 컨트롤 레지스터가 있습니다. 이 중 하나의 레지스터에는 각 82C55A 디바이스의 두 개의 인터럽트 라인에 대한 개별 활성화 비트가 있습니다. 다른 하나의 레지스터에는 마스터 인터럽트 활성화 비트 및 타이밍된 인터럽트 회로에 대한 두 개의 비트가 있습니다. 그 두 개의 비트 중 하나는 카운터 인터럽트를 활성화하고, 다른 하나는 카운터 0 또는 카운터 1 을 선택합니다. 이 부록에서는 비트 맵 및 신호 정의를 나열합니다.

인터럽트 컨트롤 레지스터 1

주소 : 베이스 주소 + 14 (16 진수)

타입 : 쓰기 전용

워드 크기 : 8 비트

비트 맵 (PCI-DIO-96/PXI-6508):

7	6	5	4	3	2	1	0
DIRQ1	DIRQ0	CIRQ1	CIRQ0	BIRQ1	BIRQ0	AIRQ1	AIRQ0

비트 맵 (PCI-6503):

7	6	5	4	3	2	1	0
X	X	X	X	X	X	AIRQ1	AIRQ0

비트	이름	설명
----	----	----

7 ~ 2	X	PCI-6503 에 예약됨 .
-------	---	------------------

7	DIRQ1	PPI D 포트 B Interrupt Enable Bit— 이 비트와 인터럽트 컨트롤 레지스터 2 에 있는 INTEN 비트가 모두 설정되면, PPI D 는 컴퓨터에 인터럽트 및 INTRB 신호를 보냅니다. 이 비트가 지워지면, PPI D 는 INTEN 설정에 관계없이 컴퓨터에 인터럽트 INTRB 신호를 보내지 않습니다.
---	-------	---

6	DIRQ0	PPI D 포트 A Interrupt Enable Bit— 이 비트와 인터럽트 컨트롤 레지스터 2 에 있는 INTEN 비트가 모두 설정되면, PPI D 는 컴퓨터에 인터럽트 INTRA 신호를 보냅니다. 이 비트가 지워지면, PPI D 는 INTEN 설정에 관계없이 컴퓨터에 인터럽트 INTRA 신호를 보내지 않습니다.
---	-------	---

5	CIRQ1	PPI C 포트 B Interrupt Enable Bit— 이 비트와 인터럽트 컨트롤 레지스터 2 에 있는 INTEN 비트가 모두 설정되면, PPI C 는 컴퓨터에 인터럽트 INTRB 신호를 보냅니다. 이 비트가 지워지면, PPI C 는 INTEN 설정에 관계없이 컴퓨터에 인터럽트 INTRB 신호를 보내지 않습니다.
---	-------	---

4	CIRQ0	PPI C 포트 A Interrupt Enable Bit— 이 비트와 인터럽트 컨트롤 레지스터 2 에 있는 INTEN 비트가 모두 설정되면 , PPI C 는 컴퓨터에 인터럽트 INTRA 신호를 보냅니다 . 이 비트가 지워지면 , PPI C 는 INTEN 설정에 관계없이 컴퓨터에 인터럽트 INTRA 신호를 보내지 않습니다 .
3	BIRQ1	PPI B 포트 B Interrupt Enable Bit— 이 비트와 인터럽트 컨트롤 레지스터 2 에 있는 INTEN 비트가 모두 설정되면 , PPI B 는 컴퓨터에 인터럽트 INTRB 신호를 보냅니다 . 이 비트가 지워지면 , PPI B 는 INTEN 설정에 관계없이 컴퓨터에 인터럽트 INTRB 신호를 보내지 않습니다 .
2	BIRQ0	PPI B 포트 A Interrupt Enable Bit— 이 비트와 인터럽트 컨트롤 레지스터 2 에 있는 INTEN 비트가 모두 설정되면 , PPI B 는 컴퓨터에 인터럽트 INTRA 신호를 보냅니다 . 이 비트가 지워지면 , PPI B 는 INTEN 설정에 관계없이 컴퓨터에 인터럽트 INTRA 신호를 보내지 않습니다 .
1	AIRQ1	PPI A 포트 B Interrupt Enable Bit— 이 비트와 인터럽트 컨트롤 레지스터 2 에 있는 INTEN 비트가 모두 설정되면 , PPI A 는 컴퓨터에 인터럽트 INTRB 신호를 보냅니다 . 이 비트가 지워지면 , PPI A 는 INTEN 설정에 관계없이 컴퓨터에 인터럽트 INTRB 신호를 보내지 않습니다 .
0	AIRQ0	PPI A 포트 A Interrupt Enable Bit— 이 비트와 인터럽트 컨트롤 레지스터 2 에 있는 INTEN 비트가 모두 설정되면 , PPI A 는 컴퓨터에 인터럽트 INTRA 신호를 보냅니다 . 이 비트가 지워지면 , PPI A 는 INTEN 설정에 관계없이 컴퓨터에 인터럽트 INTRA 신호를 보내지 않습니다 .

인터럽트 컨트롤 레지스터 2

주소: 베이스 주소 + 15 (16 진수)

타입: 쓰기 전용

워드 크기: 8 비트

비트 맵 (PCI-DIO-96/PXI-6508):

7	6	5	4	3	2	1	0
X	X	X	X	X	INTEN	CTIRQ	CTR1

비트 맵 (PCI-6503):

7	6	5	4	3	2	1	0
X	X	X	X	X	INTEN	X	X

비트	이름	설명
----	----	----

7 ~ 3	X	예약됨 .
-------	---	-------

2	INTEN	Interrupt Enable Bit— 이 비트가 설정되면 , DIO 보드는 컴퓨터에 인터럽트 신호를 보낼 수 있습니다 . 이 신호가 지워지면 , 인터럽트 컨트롤 레지스터 2 의 상태에 관계없이 DIO 보드는 컴퓨터에 인터럽트 신호를 생성할 수 없습니다 .
---	-------	---

1 ~ 0	X	PCI-6503 에 예약됨 .
-------	---	------------------

1	CTIRQ	Counter Interrupt Enable Bit— 이 비트가 설정되면 , 82C53 카운터 출력은 컴퓨터에 인터럽트 신호를 보낼 수 있습니다 . 이 비트가 지워지면 , 카운터 출력은 아무런 영향을 끼치지 못합니다 . 스푸리어스 (spurious) 인터럽트를 방지 하기 위해 , CTIRQ 설정 시 INTEN 을 로우로 유지하십시오 ; 즉 , INTEN 을 설정하기 전 CTIRQ 을 설정하십시오 .
---	-------	--

0	CTR1	Counter Select Bit— 이 비트가 설정되면 , 82C53 카운터 1 의 출력이 인터럽트 요청 회로에 연결됩니다 . 이 모드에서 , 82C53 의 카운터 0 은 카운터 1 의 주파수 스케일러의 역할을 하며 , 인터럽트를 생성합니다 . CTR1 이 지워지면 , 82C53 카운터 0 의 출력은 인터럽트 요청 회로에 연결됩니다 . 이 모드에서 , 카운터 0 은 인터럽트를 생성합니다 . 더 자세한 설명은 , 이 부록의 82C53 용 인터럽트 프로그래밍 예 섹션을 참조하십시오 .
---	------	---

인터럽트 클리어 레지스터 (PCI-DIO-96 및 PXI-6508 의 경우)

인터럽트 클리어 레지스터에는 연관된 비트가 없습니다 . 인터럽트 루틴이 입력된 후에 , 이 레지스터를 사용하여 인터럽트 요청 신호의 상태를 리셋하십시오 . 인터럽트를 지우려면 , 이 레지스터 주소에 8 비트 쓰기를 수행하십시오 ; 데이터가 관계가 없게 됩니다 .

주소 : 베이스 주소 + 16 (16 진수)

타입 : 쓰기 전용

워드 크기 : 8 비트

비트 맵 :

7	6	5	4	3	2	1	0
X	X	X	X	X	X	X	X

비트	이름	설명
7 ~ 0	X	상관없음 비트

프로그래밍

이 섹션에는 DIO 보드를 작동하는 방법 및 작동을 위해 필요한 프로그래밍 단계의 예를 소개합니다. NI-DAQ 을 사용하지 않는 경우, 먼저 보드를 초기화해야 합니다.

DIO 보드를 프로그래밍 하는 것은 보드의 레지스터로부터 데이터를 읽고 쓰는 것을 포함합니다. [레지스터 맵 및 설명](#) 섹션에는 이러한 레지스터의 리스트가 포함되어 있습니다. 초기화를 포함한 추가적인 프로그래밍 예는, Measurement Hardware Driver Development Kit (MHDDK) 예를 참조하십시오. MHDDK 를 보려면, ni.com/info 에서 정보 코드 mhddk 를 입력하십시오.

PCI 로컬 버스

PCI-DIO-96, PXI-6508 및 PCI-6503 은 PCI Special Interest Group (SIG) 의 *PCI Local Bus Specification, Revision 2.1* 과 완전히 호환됩니다. PXI-6508 은 National Instruments *PXI Specification, Revision 1.0* 과 완전히 호환됩니다. 이 세 보드 모두 데이터 이동을 위해 PCI 로컬 버스를 사용합니다. PCI 로컬 버스는 멀티플렉스된 주소 및 데이터 라인이 있는 고성능 32 비트 버스입니다. PCI 시스템은 소프트웨어를 사용하여 리소스를 대기시키고 할당시킴으로, 사용자가 직접 스위치 및 점퍼를 설정할 필요가 없습니다. 레지스터 레벨 프로그래밍을 하기 전 버스와 관련된 리소스를 설정해야 합니다. 이 작업은 DIO 보드의 베이스 주소 및 인터럽트 채널을 할당하는 것을 포함합니다.

프로그래밍 예

이 섹션의 프로그래밍 예는 여러 다양한 작업을 수행하기 위해 필요한 프로그래밍의 단계에 대해 보여줍니다. 언어별로 독립적인 설명이 제공됩니다; 즉, 실제 코드를 제시하지 않고, 주어진 레지스터에 읽기 또는 쓰기 작업을 수행하도록 하거나, 또는 주어진 코드가 설정 또는 지워졌는지를 확인하도록 합니다. 그러므로 실제 상황에서는 이 정보를 상황에 맞도록 적절히 변경해서 사용해야 합니다.

이 부록에 나오는 예를 실제 어플리케이션에 사용하기 전, 사용자 보드의 베이스 메모리 주소를 알아야 합니다. 인터럽트를 생성 및 프로세스하기 위해서는, 적용 가능한 인터럽트 서비스 루틴을 쓰고 설치해야 합니다.



노트 이 부록에서, 0x 로 시작하는 모든 숫자는 16 진수입니다.

테이블 B-3 은 프로그래밍 예에서 사용되는 일반 용어입니다 .

테이블 B-3. 프로그래밍 예에 사용되는 일반 용어

용어	정의
<i>Port A</i>	PPI A 포트 A 레지스터의 주소 (베이스 주소 + 0x00)
<i>Port B</i>	PPI A 포트 B 레지스터의 주소 (베이스 주소 + 0x01)
<i>Port C</i>	PPI A 포트 C 레지스터의 주소 (베이스 주소 + 0x02)
<i>8255Cnfg</i>	PPI A 설정 레지스터의 주소 (베이스 주소 + 0x03)
<i>Ctr0</i>	82C53 카운터 0 레지스터의 주소 (베이스 주소 + 0x10)
<i>Ctr1</i>	82C53 카운터 1 레지스터의 주소 (베이스 주소 + 0x11)
<i>CntrCnfg</i>	82C53 설정 레지스터의 주소 (베이스 주소 + 0x13)
<i>IREG1</i>	인터럽트 컨트롤 레지스터 1 의 주소 (베이스 주소 + 0x14)
<i>IREG2</i>	인터럽트 컨트롤 레지스터 2 의 주소 (베이스 주소 + 0x15)
<i>Write (address, data)</i>	데이터를 주소에 쓰기 메모리 공간에 대한 일반 함수 호출
<i>Read (address)</i>	주소에서 읽기 메모리 공간에 대한 일반 함수 호출
<i>CWrite (offset, data)</i>	데이터를 PCI 설정 공간 오프셋에 쓰기에 대한 PCI 설정 공간

PCI 초기화

NI-DAQmx 및 Traditional NI-DAQ (Legacy) 을 사용하지 않고 레지스터 레벨 프로그래밍을 하려면 , PCI-DIO-96 및 PXI-6508 의 베이스 메모리 주소를 알아야 하며 인터럽트를 사용하는 경우 인터럽트 핸들러를 설치해야 합니다 . 이 매뉴얼에서는 인터럽트 핸들러에 데이터를 쓰는 방법에 대해서는 다루지 않습니다 . 보드가 정상적으로 작동하려면 , PCI MITE ASIC 를 설정해야 합니다 . NI-DAQmx 또는 Traditional NI-DAQ (Legacy) 는 일반적으로 이 기능을 수행합니다 . 그러나 , NI-DAQ 을 사용하지 않는 경우 PCI MITE ASIC 를 설정해야 합니다 .

다음 섹션에서는 PCI MITE ASIC 를 설정하는 방법에 대해 설명합니다 . PCI BIOS¹ 호출의 참조를 실행해야 합니다 .

PCI MITE 칩을 설정하려면 , 먼저 보드에 관련된 모든 설정 정보를 찾아서 저장하는 알고리즘을 써야 합니다 . PCI BIOS 호출을 사용하여 National Instruments 제조업체 ID (0x1093) 및 PCI-DIO-96 디바이스 ID (0x0160), PXI-6508 디바이스 ID (0x13c0) 또는 PCI-6503 디바이스 ID (0x17d0) 에 대한 PCI 설정 공간을 찾을 수 있습니다 . 보드를 찾으면 , 알고리즘은 보드의 모든 설정 정보를 데이터 구조로 저장할 수 있습니다 . 베이스 주소 레지스터 0 (BAR0) 은 PCI MITE 의 베이스 주소에 해당하며 , 베이스 주소 레지스터 1 (BAR1) 은 보드 레지스터의 베이스 주소입니다 . 각 윈도우의 크기는 4 KB 입니다 . 두 개의 주소 모두 1 MB 이상으로 메모리 맵에 맵핑됩니다 . 이는 보드와의 통신을 위해 , 메모리 주기를 확장 메모리로 수행하는 방법을

¹ PCI SIG 의 PCI BIOS 호출에 대한 더 자세한 정보는 , www.pcisig.com 을 방문하십시오 .

알아야 한다는 것을 의미합니다. 메모리 맵은 1 MB 이하로 보드를 다시 맵핑하는 정보를 제공하며, 이 경우 보드와의 통신이 더 간단해집니다. PCI BIOS 읽기 및 쓰기 호출을 사용하여, 이 작업을 수행하십시오. 이 섹션의 의사 코드 (pseudocode) 를 사용하여, 보드를 1 MB 이하로 다시 맵핑하십시오. 보드를 다시 맵핑하지 않는 경우에도, 단계 4 와 단계 5 로 계속 진행해야 합니다. 이 예에 나오는 모든 값은 32 비트입니다.

1. *PCI configuration space offset 0x10 (BAR0)* 에 PCI MITE 를 다시 맵핑하고자 하는 주소를 씁니다.
2. 오프셋 *0x340* 에 새 PCI MITE 주소에서 가져온 *0x0000aeae* 값을 씁니다.
3. *PCI configuration space offset 0x14 (BAR1)* 에 보드 (PCI MITE 제외) 를 다시 맵핑하고자 하는 주소를 씁니다.
4. 새 보드 주소를 마스크하여 윈도우 데이터 값을 생성합니다:

$$\text{윈도우 데이터 값} = ((0\text{xffffffff} \text{ 및 } \text{새 보드 주소}) \text{ 또는 } (0\text{x00000080}))$$
 보드를 새로 맵핑하지 않는 경우, 새 보드 주소는 *BAR1* 에 있는 값입니다.
5. *offset 0xc0* 에 새 PCI MITE 주소를 반영한 윈도우 데이터 값을 씁니다. 보드를 다시 맵핑하지 않는 경우, 새 PCI MITE 주소는 *BAR0* 에 있는 값입니다.

다음의 의사 코드는 PCI MITE 를 메모리 주소 *0xd0000* 로, 모드를 메모리 주소 *0xd1000* 로 다시 맵핑합니다.

```
CWrite(0x10, 0x000d0000)
Write(0xd0340, 0x0000aeae)
CWrite(0x14, 0x000d1000)
Write(0xd00c0, 0x000d1080)
```

이 예에서, PCI-DIO-96 또는 PXI-6508 에 대한 새 베이스 주소는 이제 *0xd1000* 입니다. 다른 디바이스 또는 시스템 리소스가 사용 중인 메모리 영역에 보드를 다시 맵핑해서는 안 됩니다. 메모리 관리자를 사용하여 해당 메모리를 제외시킬 수 있습니다.

82C55A 프로그래밍 고려사항

작동 모드

다음의 리스트는 82C55A가 작동하는 세 가지 기본 모드를 보여줍니다. 포트 A 및 포트 B는 서로 다른 모드에서 작동할 수 있습니다.

- 모드 0— 기본 I/O— 이 모드는 각 포트의 단순 입력 및 출력 작업에 사용됩니다. 핸드셰이킹이 요구되지 않습니다; 지정된 포트는 단지 데이터를 쓰거나 읽기만 합니다. 모드 0에는 다음의 기능이 있습니다:
 - 두 개의 8 비트 포트 (A 및 B) 및 두 개의 4 비트 포트 (포트 C의 상위 및 하위 니블).
 - 모든 포트가 입력 또는 출력이 될 수 있습니다.
 - 출력은 래치되지만, 입력은 래치되지 않습니다.
- 모드 1— 스트로브 I/O— 이 모드는 핸드셰이킹에 의해 동기화된 데이터를 전송합니다. 포트 A 및 포트 B는 포트 C의 여덟 개의 라인을 사용하여 핸드셰이킹 신호를 생성 또는 수신합니다. 이 모드는 포트를 그룹 A와 그룹 B라는 두 그룹으로 나누며, 다음의 기능을 포함합니다:
 - 각 그룹은 하나의 8 비트 데이터 포트 (포트 A 또는 포트 B) 및 하나의 3 비트 컨트롤 / 데이터 포트 (포트 C의 상부 또는 하부)를 포함합니다
 - 8 비트 데이터 포트는 입력 또는 출력이 될 수 있습니다; 두 경우 모두 래치됩니다.
 - 3 비트 포트는 8 비트 데이터 포트의 컨트롤 및 상태로 사용됩니다.
 - 인터럽트 생성 및 활성화 / 비활성화 기능을 사용할 수 있습니다.
- 모드 2— 양방향 버스 — 이 모드는 양방향 8 비트 버스의 통신을 위해 사용됩니다. 핸드셰이킹 신호는 모드 1과 유사한 방식으로 사용됩니다. 모드 2는 그룹 A에서의 사용을 위해서만 사용 가능합니다. (포트 A 및 포트 C의 상부). 이 모드의 다른 기능들은 다음과 같습니다:
 - 하나의 8 비트 양방향 포트 (포트 A) 및 5 비트 컨트롤 / 상태 포트 (포트 C).
 - 래치된 입력 및 출력.
 - 인터럽트 생성 및 활성화 / 비활성화 기능.

82C55A에는 포트 C에 대한 단일 비트 설정 / 리셋 기능이 있으며, 8 비트 컨트롤 워드로 프로그래밍할 수 있습니다. 하나의 컨트롤 워드로 포트 C의 모든 8 비트를 설정 또는 리셋할 수 있습니다. 이 기능은 포트 A 및 포트 B가 모드 1 또는 모드 2로 작동 중일 때, 컨트롤 신호를 생성합니다.

모드 0 (기본 I/O)

각 세 개의 포트를 단순 I/O 기능 (핸드셰이킹 없음) 으로 사용하기 위해 모드 0 을 설정하고, 각 포트를 입력 또는 출력 포트로 할당하십시오. 테이블 B-4 는 가능한 16 개의 I/O 설정을 보여줍니다. 각 포트의 작업 모드를 프로그래밍하면 컨트롤 워드의 비트 7 이 설정됩니다.

테이블 B-4. 모드 0 I/O 설정

번호	컨트롤 워드 비트 76543210	그룹 A		그룹 B	
		포트 A	포트 C†	포트 B	포트 C‡
0	10000000	출력	출력	출력	출력
1	10000001	출력	출력	출력	입력
2	10000010	출력	출력	입력	출력
3	10000011	출력	출력	입력	입력
4	10001000	출력	입력	출력	출력
5	10001001	출력	입력	출력	입력
6	10001010	출력	입력	입력	출력
7	10001011	출력	입력	입력	입력
8	10010000	입력	출력	출력	출력
9	10010001	입력	출력	출력	입력
10	10010010	입력	출력	입력	출력
11	10010011	입력	출력	입력	입력
12	10011000	입력	입력	출력	출력
13	10011001	입력	입력	출력	입력
14	10011010	입력	입력	입력	출력
15	10011011	입력	입력	입력	입력
† 포트 C 의 상위 니블 (nibble)					
‡ 포트 C 의 하위 니블					

모드 0 기본 I/O 프로그래밍 예

다음의 예는 PPI A 를 모드 0 입력 및 출력으로 설정하는 법을 보여줍니다.

```
Write (8255Cnfg,0x80)      Set mode 0—ports A, B, and C are outputs
Write (PortA, Data)        Write data to port A
Write (PortB, Data)        Write data to port B
Write (PortC, Data)        Write data to port C

Write (8255Cnfg,0x90)      Set mode 0—port A is Input;ports B and
                           C are outputs
Write (PortB, Data)        Write data to port B
Read (PortA)               Read data from port A
```

모드 1—(스트로브 입력)



노트 모드 1의 예를 다른 포트와 함께 사용하고자 한다면, 상관 없음 비트를 적절한 컨트롤 워드로 설정해야 합니다.

모드 1에서, 디지털 I/O 비트는 그룹 A와 그룹 B의 두 그룹으로 나뉩니다. 각 그룹은 하나의 8비트 포트 및 하나의 3비트 컨트롤 / 데이터 포트를 갖습니다. 8비트 포트는 입력 포트가 될 수도, 출력 포트가 될 수도 있으며, 3비트 포트는 8비트 포트에 대한 컨트롤 및 상태 정보를 위해 사용됩니다. 3비트 포트의 핸드셰이킹 신호는 데이터 전송을 동기화합니다.

그림 B-4은 포트 A를 모드 1에서 입력으로 설정하기 위해 설정 레지스터에 쓴 컨트롤 워드를 보여줍니다. 포트 C의 비트 PC6 및 PC7을 추가적인 입력 및 출력 라인으로 사용할 수 있습니다.

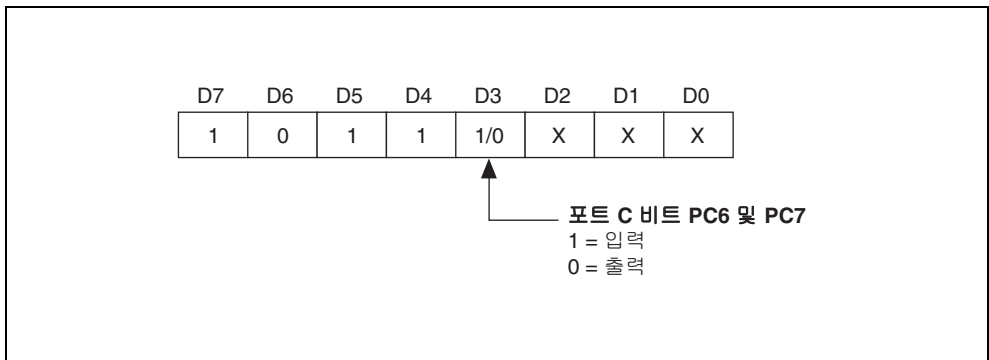


그림 B-4. 포트 A를 모드 1 입력으로 설정하기 위한 컨트롤 워드

그림 B-5는 포트 B를 모드 1에서 입력으로 설정하기 위해 설정 레지스터에 쓴 컨트롤 워드를 보여줍니다. 포트 A 및 포트 B 모두가 핸드셰이킹에 활성화되었을 때, 포트 B는 포트 C에서 남은 추가적인 입력 또는 출력 라인을 갖지 못합니다.

D7	D6	D5	D4	D3	D2	D1	D0
1	X	X	X	X	1	1	X

그림 B-5. 포트 B를 모드 1 입력으로 설정하기 위한 컨트롤 워드

모드 1 데이터 읽기 전송 중, 포트 C를 읽어 핸드셰이킹 라인 및 인터럽트 신호의 상태를 얻으십시오. 더 자세한 정의는 [입력에 대한 포트 C 상태- 워드 비트 정의 \(포트 A 및 포트 B \)](#) 섹션, [포트 C 상태- 출력에 대한 워드 비트 정의 \(포트 A 및 포트 B \)](#) 섹션 및 [양방향 데이터 경로에 대한 포트 C 상태- 워드 비트 정의 \(포트 A 의 경우 \)](#) 섹션을 참조하십시오.

입력에 대한 포트 C 상태- 워드 비트 정의 (포트 A 및 포트 B)

주소 : 베이스 주소 + 02 (16 진수) - PPI A
 베이스 주소 + 06 (16 진수) - PPI B
 베이스 주소 + 0A (16 진수) - PPI C
 베이스 주소 + 0E (16 진수) - PPI D

타입 : 읽기 및 쓰기

워드 크기 : 8 비트

비트 맵 :

7	6	5	4	3	2	1	0
I/O	I/O	IBFA	INTEA	INTRA	INTEB	IBFB	INTRB

비트	이름	설명
7 ~ 6	I/O	입력 / 출력 — 이 비트는 포트 A 가 모드 1 입력 일 때 , 범용 I/O 용으로 사용될 수 있습니다 . 이 비트가 출력으로 설정된 경우 , 포트 C 비트 설정 / 리셋 기능을 사용하여 조작해야 합니다 .
5	IBFA	포트 A 에 대한 Input Buffer Full — 하이 설정은 데이터가 포트 A 에 대한 입력 래치로 로드되었음을 나타냅니다 .
4	INTEA	포트 A 에 대한 Interrupt Enable Bit— 이 비트를 설정하면 , 82C55A 포트 A 로부터의 INTRA 플래그를 활성화합니다 . PC4 를 설정 / 리셋하여 INTEA 를 컨트롤합니다 .
3	INTRA	포트 A 에 대한 Interrupt Request Status— 이 상태 플래그 는 INTEA 가 하이일 때만 작동하며 , 포트 A 가 데이터를 수집을 완료했고 데이터를 읽을 준비가 되었음을 나타냅니다 . INTEN 및 인터럽트 컨트롤 레지스터 2 에 적절한 비트를 설정하여 인터럽트를 활성화한 경우 , 이 상태 플래그는 또한 포트 A 에 대한 인터럽트 요청이 대기 상태임을 나타냅니다 .
2	INTEB	포트 B 에 대한 Interrupt Enable Bit— 이 비트를 설정하면 , 82C55A 포트 B 에서의 INTRB 플래그를 활성화합니다 . PC2. 를 설정 / 리셋하여 INTEB 를 컨트롤합니다 .
1	IBFB	포트 B 에 대한 Input Buffer Full — 하이 설정은 데이터가 포트 B 에 대한 입력 래치로 로드되었음을 나타냅니다 .

0 INTRB 포트 B 에 대한 Interrupt Request Status— 이 상태 플래그는 , INTEA 가 하이일 때만 작동하며 , 포트 B 가 데이터 수집을 완료했고 데이터를 읽을 준비가 되었음을 나타냅니다 . INTEN 및 적절한 비트를 인터럽트 컨트롤 레지스터 2 로 설정하여 인터럽트를 활성화한 경우 , 이 상태 플래그는 또한 포트 B 를 위한 인터럽트 요청이 대기 상태임을 나타냅니다 .

디지털 I/O 커넥터에서 , 모드 1 입력일 때 포트 C 는 그림 B-6 에 보이는 핀 할당을 갖습니다 . STBA* 및 STBB* 의 상태는 포트 C 상태 워드에 포함되지 않습니다 .

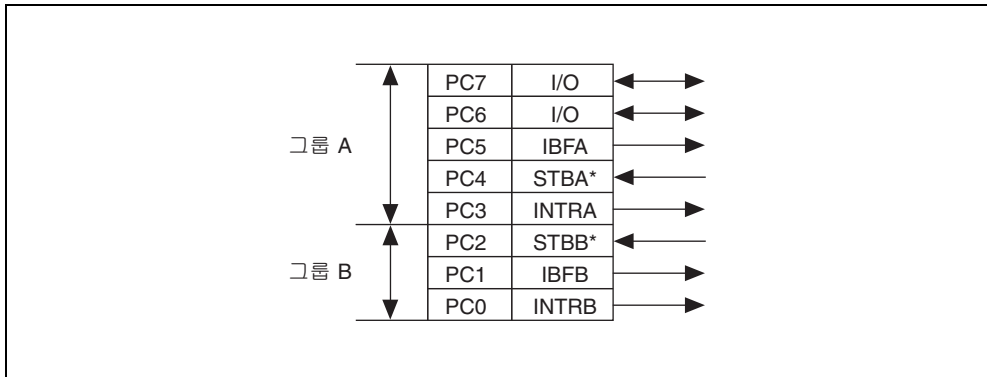


그림 B-6. 포트 C 가 모드 1 입력으로 설정될 때 , I/O 커넥터 포트 C 의 핀 할당

모드 1 스트로브 입력 프로그래밍 예제

다음의 예는 PPI A 를 모드 1 입력으로 설정하는 방법을 보여줍니다 .

```
Write (8255Cnfg, 0xB0)    Set mode 1—port A is an input
Write (8255Cnfg, 0x09)    Set PC4 to enable the INTRA status flag
Loop until the INTRA (PC3) and IBFA (PC5) status flags are set,
                           indicating that the 82C55A is ready for a
                           transfer and that the input buffer is full
Read (PortA)              Read data from port A
```

모드 1— 스트로브 출력



노트 모드 1의 예에서, 다른 포트를 이 예와 함께 사용하고자 한다면 상관 없음 비트를 컨트롤 워드로 적절히 설정해야 합니다.

그림 B-7은 포트 A를 모드 1에서 출력으로 설정하기 위해 설정 레지스터에 쓴 컨트롤 워드를 보여줍니다. 포트 C의 비트 PC4 및 PC5를 추가적인 입력 및 출력 라인으로 사용할 수 있습니다.

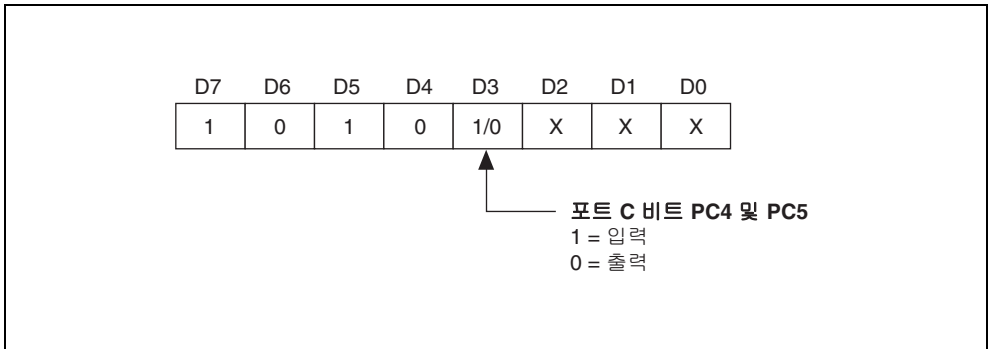


그림 B-7. 포트 A를 모드 1 출력으로 설정하기 위한 컨트롤 워드

그림 B-8은 포트 B를 모드 1에서 출력으로 설정하기 위해 설정 레지스터에 쓴 컨트롤 워드를 보여줍니다. 포트 A 및 포트 B 모두가 핸드셰이킹으로 설정되었을 때, 포트 B는 포트 C에서 남은 추가적인 입력 또는 출력 라인을 갖지 못합니다.

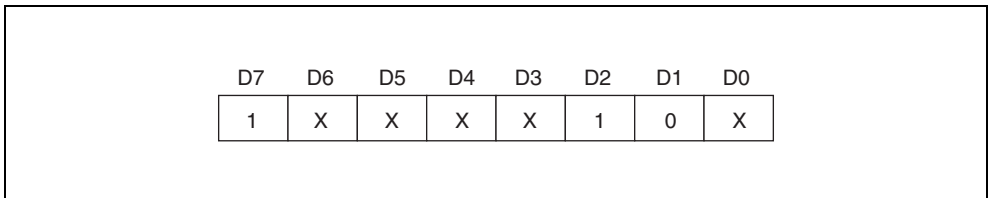


그림 B-8. 포트 B를 모드 1 출력으로 설정하기 위한 컨트롤 워드

모드 1 데이터 쓰기 전송 중, 포트 C를 읽어 핸드셰이킹 라인 및 인터럽트 신호의 상태를 얻을 수 있습니다. 비트 정의는 쓰기 및 읽기 전송에 대해 다릅니다.

포트 C 상태- 출력에 대한 워드 비트 정의 (포트 A 및 포트 B)

주소 : 베이스 주소 + 02 (16 진수) - PPI A
 베이스 주소 + 06 (16 진수) - PPI B
 베이스 주소 + 0A (16 진수) - PPI C
 베이스 주소 + 0E (16 진수) - PPI D

타입 : 읽기 및 쓰기

워드 크기 : 8 비트

비트 맵 :

7	6	5	4	3	2	1	0
OBFA*	INTEA	I/O	I/O	INTRA	INTEB	OBFB*	INTRB

비트	이름	설명
7	OBFA*	포트 A 에 대한 Output Buffer Full— 낮은 설정은 CPU 가 포트 A 에 데이터를 쓰는 작업을 완료했다는 것을 나타냅니다 .
6	INTEA	포트 A 의 Interrupt Enable Bit— 이 비트를 설정하면 , 82C55A 포트 A 에서의 INTRA 플래그를 활성화합니다 . PC6 을 설정 / 리셋하여 이 비트를 컨트롤합니다 .
5 ~ 4	I/O	입력 / 출력 — 이 비트는 포트 A 가 모드 1 출력일 때 , 범용 I/O 용으로 사용할 수 있습니다 . 이 비트를 출력으로 설정한 경우 , 포트 C 비트 설정 / 리셋 기능을 사용하여 조작해야 합니다 .
3	INTRA	포트 A 의 Interrupt Request Status— 이 상태 플래그는 , INTEA 가 하이일 때만 작동하며 , 포트 A 가 데이터 수집을 완료했고 데이터를 읽을 준비가 되었음을 나타냅니다 . INTEN 및 적절한 비트를 인터럽트 컨트롤 레지스터 2 로 설정하여 인터럽트를 활성화한 경우 , 이 상태 플래그는 또한 포트 A 에 대한 인터럽트 요청이 대기 상태임을 나타냅니다 .
2	INTEB	포트 B 의 Interrupt Enable Bit— 이 비트를 설정하면 , 82C55A 포트 B 에서의 INTRB 플래그를 활성화합니다 . PC2 를 설정 / 리셋하여 이 비트를 컨트롤합니다 .
1	OBFB*	포트 B 의 Output Buffer Full— 로우 설정은 CPU 가 데이터를 포트 B 에 쓰는 작업을 완료했음을 나타냅니다 .

0 INTRB 포트 B 의 Interrupt Request Status— 이 상태 플래그는 , INTEA 가 하이일 때만 작동하며 , 포트 B 가 데이터 수집을 완료했고 데이터를 읽을 준비가 되었음을 나타냅니다 . INTEN 및 적절한 비트를 인터럽트 컨트롤 레지스터 2 로 설정하여 인터럽트를 활성화한 경우 , 이 상태 플래그는 또한 포트 B 를 위한 인터럽트 요청이 대기 상태임을 나타냅니다 .

디지털 I/O 커넥터에서 , 모드 1 출력일 때 포트 C 는 그림 B-9 에 보이는 핀 할당을 갖습니다 . 포트 C 를 읽을 때 , ACKA* 및 ACKB* 는 포함되지 않습니다 .

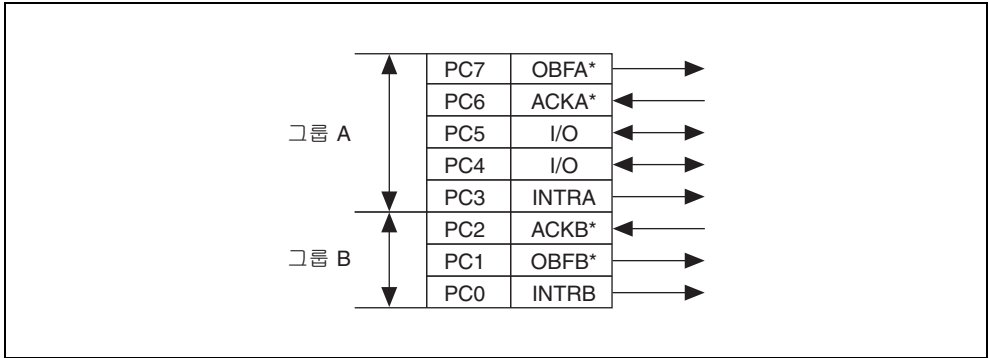


그림 B-9. 포트 C 가 모드 1 출력으로 설정될 때 , I/O 커넥터 포트 C 의 핀 할당

모드 1 스트로브 출력 프로그래밍 예

다음의 예는 PPI A 를 모드 1 출력으로 설정하는 법을 보여줍니다 .

```
Write (8255Cnfg, 0xA0)    Set mode 1-port A is an output
Write (8255Cnfg, 0x0D)    Set PC6 to enable the INTRA status flag
Loop until the INTRA (PC3) and OBFA* (PC7) status flags are set,
                           indicating that the 82C55A is ready for a
                           transfer and that the output buffer is not
                           full
Write (PortA, Data)       Write data to port A
```

모드 2— 양방향 버스



노트 모드 2 의 예에서 , 다른 포트를 이 예와 함께 사용하고자 한다면 상관 없음 비트를 컨트롤 워드로 적절히 설정해야 합니다 .

모드 2 에는 설정을 바꾸지 않고 입력 및 출력을 전송할 수 있는 8 비트 버스가 있습니다 . 데이터 전송은 포트 C 에서 핸드셰이킹 라인을 통해 동기화됩니다 . 이 모드는 포트 A 만 사용합니다 ; 그러나 , 포트 B 는 포트 A 가 모드 2 로 설정되어 있는 동안 모드 0 또는 모드 1 로 사용될 수 있습니다 .

그림 B-10 은 포트 A 를 모드 2 에서 양방향 데이터 버스로 설정하기 위해 설정 레지스터에 쓴 컨트롤 워드를 보여줍니다 . 포트 B 가 모드 0 으로 설정되었을 때 , 포트 C 의 PC2, PC1, PC0 을 추가적인 입력 또는 출력 라인으로 사용할 수 있습니다 .

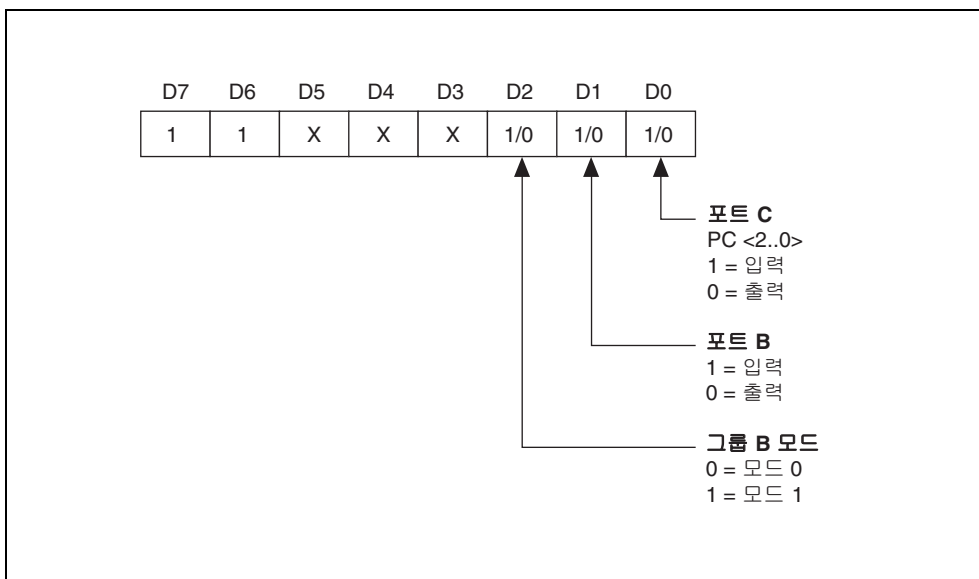


그림 B-10. 포트 A 를 모드 2 양방향 데이터 버스로 설정하기 위한 컨트롤 워드

모드 2 데이터 전송 중 , 포트 C 를 읽어 핸드셰이킹 라인 및 인터럽트 신호의 상태를 얻을 수 있습니다 . 다음 섹션에서는 모드 2 전송에 대한 포트 C 의 상태- 워드 비트 정의를 보여줍니다 .

양방향 데이터 경로에 대한 포트 C 상태- 워드 비트 정의 (포트 A 의 경우)

주소 : 베이스 주소 + 02 (16 진수) - PPI A
 베이스 주소 + 06 (16 진수) - PPI B
 베이스 주소 + 0A (16 진수) - PPI C
 베이스 주소 + 0E (16 진수) - PPI D

타입 : 읽기 및 쓰기

워드 크기 : 8 비트

비트 맵 :

7	6	5	4	3	2	1	0
OBFA*	INTE1	IBFA	INTE2	INTRA	I/O	I/O	I/O

비트	이름	설명
7	OBFA*	포트 A 의 Output Buffer Full— 낮은 설정은 CPU 가 포트 A 에 데이터를 쓰는 작업을 완료했다는 것을 나타냅니다 .
6	INTEA	포트 A 출력 인터럽트의 Interrupt Enable Bit— 이 비트를 설정하면 , 82C55A 포트 A 에서의 INTRA 플래그를 활성화 합니다 . PC6 을 설정 / 리셋하여 이 비트를 컨트롤 합니다 .
5	IBFA	포트 A 의 Input Buffer Full — 하이 설정은 데이터가 포트 A 에 대한 입력 래치로 로드되었음을 나타냅니다 .
4	INTE2	포트 A 입력 인터럽트의 Interrupt Enable Bit— 이 비트를 설정하면 , 82C55A 포트 A 에서의 INTRA 플래그를 입력으로 활성화 합니다 . PC4 를 설정 / 리셋하여 이 비트를 컨트롤 합니다 .
3	INTRA	포트 A 의 Interrupt Request Status— 이 상태 플래그는 INTE1 또는 INTE2 가 하이일 때에만 작동하며 , 포트 A 가 읽거나 쓸 준비가 되었음을 나타냅니다 ; IBF 및 OBFA* 플래그를 체크하여 어느 것인지를 결정합니다 . INTEN 및 적절한 비트를 인터럽트 컨트롤 레지스터 2 로 설정하여 인터럽트를 활성화 한 경우 , 이 INTRA 상태 플래그는 또한 포트 A 에 대한 인터럽트 요청이 대기 상태임을 나타냅니다 .
2 ~ 0	I/O	입력 / 출력 — 그룹 B 가 모드 0 으로 설정되었을 때 이 비트를 범용 I/O 라인을 위해 사용합니다 . 그룹 B 가 모드 1 로 설정된 경우 , 앞의 모드 1 선택 섹션에 나온 비트 설명을 참조하십시오 .

그림 B-11 은 포트 C 가 모드 2 로 설정되었을 때 디지털 I/O 커넥터에서의 포트 C 핀 할당을 보여줍니다 . 포트 C 상태 워드는 STBA* 또는 ACKA* 의 상태를 포함하지 않습니다 .

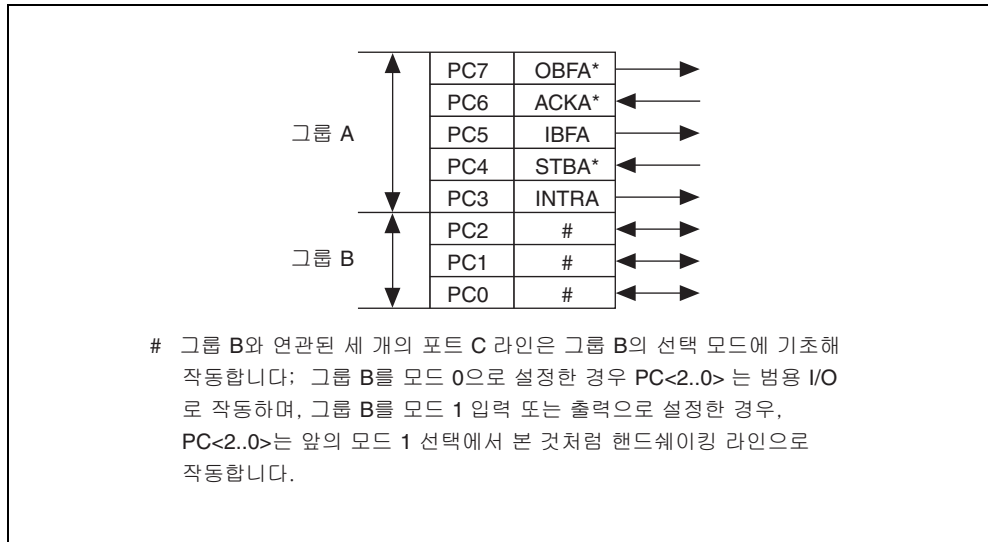


그림 B-11. 포트 C 가 모드 2 로 설정될 때 , I/O 커넥터 포트 C 의 핀 할당

모드 2 양방향 버스 프로그래밍 예

다음의 예는 PPI A 를 모드 2 입력 및 출력으로 설정하는 법을 보여줍니다 .

```

Write (8255Cnfg, 0xC0)           Set mode 2-port A is bidirectional
Write (8255Cnfg, 0x09)           Set PC4 to enable the INTRA status
                                   flag for input
Write (8255Cnfg, 0x0D)           Set PC6 to enable the INTRA status
                                   flag for output
Loop until the INTRA (PC3) status flag is set, indicating the 82C55
                                   is ready for a transfer
If IBFA (PC5) is set, read (PortA) If input buffer is full, read data
If OBFA* (PC7) is set,
    write (PortA, data)           If output buffer is not full,
                                   write data
    
```

인터럽트 처리

인터럽트를 활성화하려면 인터럽트 컨트롤 레지스터 2의 **INTEN** 비트를 설정해야 합니다. 원치 않는 인터럽트를 비활성화하려면 먼저 이 비트를 지우십시오. 인터럽트의 모든 소스가 비활성화되거나 또는 비활성 상태에 놓여진 후, **INTEN**을 설정할 수 있습니다. 작동을 위해 인터럽트를 생성하기 전, **INTEN**을 설정해야 합니다.

82C55A 디바이스 중 하나를 사용하여 컴퓨터를 인터럽트하려면, 선택된 82C55A를 원하는 I/O 모드로 프로그램하십시오. 모드 1에서, **INTEA** 또는 **INTEB** 비트를 설정하여 포트 A 또는 포트 B의 인터럽트를 각각 활성화하십시오. 모드 2에서, **INTE1** 또는 **INTE2**를 각각 출력 또는 입력 전송에 대한 인터럽트로 설정하십시오. **INTE1** 및 **INTE2** 인터럽트 출력은 포트 A에 대한 단일 인터럽트 출력으로 직렬 형태로 실행됩니다.

PCI-DIO-96 또는 PXI-6508의 82C53 카운터 출력 중 하나를 사용하여 컴퓨터에 인터럽트 신호를 보내려면, [인터럽트 프로그래밍 예](#) 섹션에서 설명된 대로 카운터를 프로그램하십시오.

포트 A 또는 포트 B가 모드 0에 있고 포트 C의 낮은 니블이 입력으로 설정될 경우, 외부 신호를 사용하여 인터럽트를 생성할 수 있습니다. 포트 A가 모드 0인 경우, **PC3**을 사용하여 인터럽트를 생성하십시오; 포트 B가 모드 0인 경우, **PC0**을 사용하여 인터럽트를 생성하십시오. 선택한 82C55A를 설정한 후에, 인터럽트 컨트롤 레지스터 1에 상응하는 인터럽트 활성화 비트를 설정해야 합니다. **PC3**을 사용하는 경우, **xIRQ0**으로 설정하십시오; **PC0**을 사용하는 경우, **xIRQ1**로 설정하십시오. 여기서 **x**는 인터럽트를 생성하고자 하는 PPI에 해당하는 문자입니다 (**A-D**). 외부 신호가 로직하이가 될 때, 인터럽트 요청이 발생합니다. 외부 인터럽트를 비활성화하려면, 쓰기를 완료한 인터럽트 서비스 루틴이 인터럽트를 인식하도록 해야 합니다. PCI-DIO-96 및 PXI-6508에서, 인터럽트 서비스 루틴이 또한 인터럽트 클리어 레지스터에 데이터를 쓰도록 해야 합니다.

82C55A 인터럽트 프로그래밍 예

다음의 예는 인터럽트를 여러 다른 작동 모드로 활성화시키기 위해 필요한 프로세스를 보여줍니다. 인터럽트를 프로세스하고 그로부터 유용한 지식을 얻기 위해서는 인터럽트 서비스 루틴을 쓰고 설치해야 합니다. 원치 않는 인터럽트를 비활성화하기 위해서는 먼저 모든 인터럽트 소스 및 인터럽트 활성화 비트를 제거해야 합니다.

모드 1 스트로브 입력 프로그래밍 예

다음의 예는 인터럽트를 포트 A를 위해 모드 1 입력으로 설정하는 법을 보여줍니다.

Write (8255Cnfg, 0xB0)	Set mode 1—port A is an input
Write (8255Cnfg, 0x09)	Set PC4 to enable interrupts from the 82C55A
Write (IREG2, 0x04)	Set INTEN bit
Write (IREG1, 0x01)	Set AIRQ0 to enable PPI A, port A interrupts

모드 1 스트로브 출력 프로그래밍 예

다음의 예는 인터럽트를 포트 A를 위해 모드 1 출력으로 설정하는 법을 보여줍니다.

```
Write(8255Cnfg, 0xA0)    Set mode 1—port A is an output
Write(8255Cnfg, 0x0D)    Set PC6 to enable interrupts from 82C55A
Write(IREG2, 0x04)       Set INTEN bit
Write(IREG1, 0x01)       Set AIRQ0 to enable PPI A,
                           port A interrupts
```

모드 2 양방향 버스 프로그래밍 예

다음의 예는 인터럽트를 모드 2 출력 전송으로 설정하는 법을 보여줍니다.

```
Write (8255Cnfg, 0xC0)    Set mode 2—port A is bidirectional
Write (8255Cnfg, 0x0D)    Set PC6 to enable interrupt from 82C55A
Write (IREG2, 0x04)       Set INTEN bit
Write (IREG1, 0x01)       Set AIRQ0 to enable PPI A,
                           port A interrupts
```

다음의 예는 인터럽트를 모드 2 입력 전송으로 설정하는 법을 보여줍니다.

```
Write (8255Cnfg, 0xC0)    Set mode 2—port A is bidirectional
Write (8255Cnfg, 0x09)    Set PC4 to enable interrupt from 82C55A
Write (IREG2, 0x04)       Set INTEN bit
Write (IREG1, 0x01)       Set AIRQ0 to enable PPI A,
                           port A interrupts
```

82C53 프로그래밍 고려사항

PCI-DIO-96 및 PXI-6508에는 82C53 프로그램 가능한 간격 타이머가 있습니다. 다음 섹션에는 82C53의 개요 및 설정 정보가 포함되어 있습니다.

일반 정보

82C53에는 세 개의 카운터 / 타이머가 있으며, 각 카운터 / 타이머는 6개의 서로 다른 모드 중 하나로 작동합니다. 그러나, 오직 카운터 0 및 카운터 1이 작동을 위해 설정됩니다; 카운터 2는 외부 I/O 커넥터에 연결되어 있지 않으며 사용가능하지도 않습니다. 또한, 카운터 클럭은 로직 하이에 연결되어 있어서 모드 1과 5는 사용할 수 없습니다; 권장 카운터 모드는 모드 2입니다.

카운터 0의 소스는 2 MHz 클럭입니다. 카운터 0을 사용하여 컴퓨터에 인터럽트 신호를 보낸다면, 카운터를 속도 생성 또는 모드 2로 설정하십시오. 카운터 1을 사용하여 컴퓨터에 인터럽트 신호를 보낸다면, 카운터 0이 카운터 1에 소스 입력을 보내는 주파수 스케일입니다. 이 경우, 두 카운터를 모두 속도 생성 또는 모드 2로 설정하십시오.

카운터 0에 의해 생성된 펄스 간의 시간을 결정하려면, 로드 값을 500 ns로 곱하십시오 ($1/(2 \text{ MHz})$). 카운터 1에 의해 생성된 펄스 간의 시간을 결정하려면, 로드 값을 카운터 0의 펄스 간의 시간으로 곱하십시오. 다음 섹션에서는 샘플 설정 과정을 보여줍니다.

인터럽트 프로그래밍 예

다음의 예는 카운터 0 이 인터럽트를 생성하도록 설정하는 방법을 보여줍니다 :

<code>Write(IREG1, 0x00)</code>	Disable all 82C55A interrupts
<code>Write(IREG2, 0x00)</code>	Disable counter interrupts
<code>Write(CntrCnfg, 0x34)</code>	Set counter 0 to mode 2
<code>Write(IREG2, 0x02)</code>	Enable counter interrupts and select the output from counter 0 before enabling board interrupts
<code>Write(IREG2, 0x06)</code>	Enable board interrupts
<code>Write(Ctr0, Data0)</code>	Send the least significant byte of the counter data to counter 0
<code>Write(Ctr0, Data1)</code>	Send the most significant byte of the counter data to counter 0

카운터는 최상위 비트를 쓰자마자 바로 카운팅을 시작합니다 . 프로그램을 종료할 준비가 되었을 때 , 아래에 보이는 것처럼 카운터 및 인터럽트를 비활성화하십시오 .

<code>Write(Cnfg, 0x30)</code>	Turn off counter 0
<code>Write(IREG2, 0x00)</code>	Disable all PCI-DIO-96/PXI-6508 interrupts



노트 인터럽트를 프로세스하려면 , 인터럽트 서비스 루틴을 쓰고 설치해야 합니다 . 그렇게 하지 않을 경우 , 인터럽트 생성시에 시스템이 실패하게 됩니다 .



기술 지원과 전문 서비스

기술 지원과 전문 서비스에 관해서는 National Instruments 웹 사이트 ni.com의 다음 섹션을 방문하십시오.

- **기술 지원** — 다음과 같은 리소스가 ni.com/support의 기술 지원에 있습니다:
 - **셀프 도움말 리소스** — ni.com/support를 방문하여 소프트웨어 드라이버와 업데이트, 검색 가능한 기술지원 데이터베이스, 제품 매뉴얼, 단계별 문제해결 마법사, 다양한 예제 프로그램, 길라잡이, 어플리케이션 노트, 인스트루먼트 드라이버 등의 답변과 솔루션을 얻을 수 있습니다. 또한, 등록된 사용자는 ni.com/forums의 NI Discussion Forums를 이용할 수 있습니다. NI 어플리케이션 엔지니어는 온라인에서 제출된 모든 질문에 대한 답변을 제공합니다.
 - **스탠다드 서비스 프로그램 (SSP)** — 멤버십 회원은 NI 어플리케이션 엔지니어와 전화나 E-메일을 통해 일대일로 기술 지원을 받고, 분기별로 최신 소프트웨어를 무료로 업그레이드할 수 있습니다. NI는 제품 구매 후 1년 동안 SSP 멤버십을 무료로 제공합니다. SSP 멤버십이 만료되면, 갱신하여 계속 서비스를 받을 수 있습니다.
각 지역의 기술 지원 옵션에 대한 추가적인 정보는, ni.com/services를 방문하거나 ni.com/contact에서 가까운 National Instruments 사무소에 연락하십시오.
- **교육 및 인증** — 맞춤 교육, 원격리교육 가상 교실, 대화식 CD, 인증 프로그램에 대한 정보는 nieu.co.kr을 방문하십시오. 또한, 전세계 여러 곳에서 강사가 지도하는 실습 코스에 등록할 수 있습니다.
- **시스템 통합** — 시간의 제약, 사내 기술 리소스의 제한, 또는 그 외 프로젝트상의 문제점이 있는 경우, National Instruments Alliance Partner 회원사가 도움을 드릴 수 있습니다. 추가적인 정보는, 가까운 NI 사무소에 연락하시거나 ni.com/alliance를 방문하십시오.
- **적합성 선언 (Declaration of Conformity, DoC)** — DoC는 제조업체의 적합성 선언을 사용하여 Council of the European Communities에 따른다는 준수 선언입니다. 이 시스템은 전자파 적합성 (EMC)과 제품 안전에 대한 사용자 보호를 제공합니다. ni.com/certification을 방문하여 제품에 대한 DoC를 얻을 수 있습니다.
- **교정 인증서** — 사용하는 제품이 교정을 지원하는 경우, ni.com/calibration에서 제품에 대한 교정 인증서를 얻을 수 있습니다.

ni.com/niglobal 의 Worldwide Offices 섹션을 방문하여 최신 연락 정보, 지원 전화번호, E- 메일 주소 및 이벤트 정보를 제공하는 각 사무소의 웹사이트에 접속할 수 있습니다.

용어집

기호	접두사	값
n	나노 (nano)	10^{-9}
μ	마이크로 (micro)	10^{-6}
m	밀리 (milli)	10^{-3}
k	킬로 (kilo)	10^3
M	메가 (mega)	10^6

숫자 / 기호

+	양수 또는 플러스
-	음수 또는 마이너스
$\pm$	플러스 또는 마이너스 .
<	~ 보다 작음
>	~ 보다 큼
$\geq$	~ 보다 크거나 같음
/	~ 당
°	도
Ω	옴 (ohms)
%	퍼센트
+5 V	+5 볼트 신호

A

A	암페어 (amperes)
ACK*	인식 입력 신호 (acknowledge input signal)

AIRQ0	PPI A 포트 A 인터럽트 활성화 비트
AIRQ1	PPI A 포트 B 인터럽트 활성화 비트
ANSI	미국 표준 협회 (American National Standards Institute)
APA	PPI A 포트 A
APB	PPI A 포트 B
APC	PPI A 포트 C
ASIC	어플리케이션별 집적 회로 (Application Specific Integrated Circuit)
AWG	미국 전선 규격 (American Wire Gauge)

B

BCD	2 진 코드화된 십진수 (binary coded decimal)
BIRQ0	PPI B 포트 A 인터럽트 활성화 비트
BIRQ1	PPI B 포트 B 인터럽트 활성화 비트
BPA	PPI B 포트 A
BPB	PPI B 포트 B
BPC	PPI B 포트 C

C

C	섭씨
CIRQ0	PPI C 포트 A 인터럽트 활성화 비트
CIRQ1	PPI C 포트 B 인터럽트 활성화 비트
cm	센티미터
CompactPCI	PCI Industrial Computer Manufacturer's Group (PICMG) 이 정의한 코어 스펙
CPA	PPI C 포트 A

CPB	PPI C 포트 B
CPC	PPI C 포트 C
CTR1	카운터 선택 비트
CTRIRQ	카운터 인터럽트 활성화 비트

D

DAQ	개인용 컴퓨터를 사용하여 전자 신호를 수집 , 측정 및 생성하는 시스템
DI	디지털 입력 (digital input)
DIO	디지털 입력 및 출력 (digital input/output)
DIRQ0	PPI D 포트 A 인터럽트 활성화 비트
DIRQ1	PPI D 포트 B 인터럽트 활성화 비트
DMA	직접 메모리 액세스 (DMA)— 프로세서가 다른 작업을 수행하면서 데이터가 컴퓨터 메모리에서 디바이스나 버스의 메모리 (또는 디바이스나 버스의 메모리에서 컴퓨터 메모리) 로 전송될 수 있는 방법 . 데이터를 가장 빠르게 컴퓨터 메모리로 전송하는 방법 .
DO	디지털 출력 (digital output)
DPA	PPI D 포트 A
DPB	PPI D 포트 B
DPC	PPI D 포트 C

F

ft	feet
----	------

G

GND	접지 신호 (ground signal)
-----	-----------------------

H

hex 16 진수

I

I/O 입력 및 출력

IBF input buffer full 신호

in. 인치

INTE1 포트 A 출력 interrupt enable bit

INTE2 포트 A 입력 interrupt enable bit

INTEA 포트 A interrupt enable bit

INTEB 포트 B interrupt enable bit

INTEN 인터럽트 활성화 비트

INTRA 포트 A interrupt request status

INTRB 포트 B interrupt request status

L

LED 빛을 발산하는 다이오드 (light-emitting diode)

LSB 최하위 비트 (least significant bit)

M

m 미터

max 최대

MB 메모리의 메가바이트 (megabytes)

min 최소

min. 분

MSB 최상위 비트 (most significant bit)

O

OBF* output buffer full 신호

P

PA, PB, PC <0..7> 포트 A, B 또는 C 의 0 ~ 7 라인

PCI Peripheral Component Interconnect—ISA 와 EISA 를 대체하기 위해 원래 인텔에 의해 개발된 높은 성능의 확장 버스 구조 . PC 와 워크 스테이션을 위한 표준으로 널리 사용되며 , 이론적으로 최대 132 Mbytes/s 의 전송률을 제공 .

PPI PPI (programmable peripheral interface)

PXI PCI eXtensions for Instrumentation. 인스트루먼트 특정의 기능을 추가하여 CompactPCI 스펙을 구축하는 개방형 스펙 .

R

RD* 신호 읽기 (read signal)

S

S 샘플

s 초

SCXI Signal Conditioning eXtensions for Instrumentation— 센서 근처의 외부 새시 내에서 낮은 레벨의 신호를 컨디셔닝함으로써 노이즈가 있는 PC 환경에서 높은 레벨의 신호만 DAQ 보드에 전달되도록 하는 National Instruments 제품 라인 .

STB 스트로브 입력 신호 (strobe input signal)

T

TTL 트랜지스터 - 트랜지스터 - 로직

typ 보통 (typical)

V

V 볼트

V_{CC} 공급 전압 ; 예를 들어 컴퓨터에서 플러그 인 디바이스로 공급되는 전압

VDC 직류 전압 (volts direct current)

VI 버추얼 인스트루먼트 - 일반적으로 PC 와 함께 사용하는 하드웨어 및 소프트웨어적 원소의 조합으로서 전통적인 독립 인스트루먼트의 기능을 가짐 .

V_{in} 입력 전압

W

W 와트 (watts)

WRT* 쓰기 신호 (write signal)

ㅅ

신호 컨디셔닝 디지털화에 필요한 신호 조작 .

표

포트 4 개 또는 8 개 라인의 디지털 입력 및 / 또는 출력으로 구성된 디지털 포트 .

기호

+5 V 공급 핀

PCI-6503 (테이블), 3-7

PCI-DIO-96 및 PXI-6508 (테이블), 3-4

접지 또는 다른 전원 소스에 직접 연결하기
(주의), 3-10

숫자

82C53

레지스터 그룹

레지스터 주소 맵 (테이블), B-5

인터럽트 컨트롤 레지스터 1, B-10

인터럽트 컨트롤 레지스터 2, B-12

인터럽트 클리어 레지스터, B-13

컨트롤 워드 포맷 (그림), B-9

프로그래밍 고려사항, B-30

인터럽트 프로그래밍 예, B-31

프로그램 가능한 간격 타이머

작동 이론, B-2

82C55A

PPI (programmable peripheral
interface)

작동 이론, 4-3

레지스터 그룹

레지스터 주소 맵 (테이블), B-5

설명, B-6

컨트롤 워드 포맷 (그림), B-7

포트 C

설정 / 리셋 컨트롤 워드 (테이블
) , B-8

양방향 데이터 경로를 위한 상태 -
워드 비트 정의, B-27

입력에 대한 상태 - 워드 비트 정
의, B-21

출력에 대한 상태 - 워드 비트 정
의, B-24

인터럽트 처리, B-29

인터럽트 프로그래밍 예, B-29

모드 1 스트로브 입력, B-29

모드 1 스트로브 출력, B-30

모드 2 양방향 버스, B-30

프로그래밍 고려사항, B-17

모드 1 스트로브 입력, B-19

프로그래밍 예, B-22

모드 1 스트로브 출력, B-23

프로그래밍 예, B-25

모드 2 양방향 버스, B-26

프로그래밍 예, B-28

작동 모드, B-17

모드 0 (기본 I/O), B-18

A

ACK* 신호

모드 1 출력 타이밍 (그림), 4-6

모드 2 양방향 타이밍 (그림), 4-7

설명 (테이블), 4-4

AIRQ0 비트 설명, B-11

AIRQ1 비트 설명, B-11

APA<7..0> 신호 (테이블), 3-4

APB<7..0> 신호 (테이블), 3-4

APC<7..0> 신호 (테이블), 3-4

B

BIRQ0 비트 설명, B-11

BIRQ1 비트 설명, B-11

BPA<7..0> 신호 (테이블), 3-4

BPB<7..0> 신호 (테이블), 3-4

BPC<7..0> 신호 (테이블), 3-4

C

CIRQ0 비트 설명, B-11

CIRQ1 비트 설명, B-10

CompactPCI, PXI 와 호환가능한 제품과 함께
사용하기, 1-2

CPA<7..0> 신호 (테이블), 3-4

CPB<7..0> 신호 (테이블), 3-4
CPC<7..0> 신호 (테이블), 3-4
CTR1 비트 설명, B-12
CTRIRQ 비트 설명, B-12

D

DATA 신호 설명 (테이블), 4-4
DIO 보드 작동 이론을 *보십시오*
DIRQ0 비트 설명, B-10
DIRQ1 비트 설명, B-10
DPA<7..0> 신호 (테이블), 3-4
DPB<7..0> 신호 (테이블), 3-4
DPC<7..0> 신호 (테이블), 3-4

G

GND 신호
PCI-6503 (테이블), 3-7
PCI-DIO-96 및 PXI-6508 (테이블), 3-4

I

I/O 비트
모드 1 스트로브 입력 설명, B-21
모드 1 스트로브 출력 설명, B-24
모드 2 양방향 버스 설명, B-27
I/O 커넥터
PCI-6503, 3-6
신호 연결 설명
PCI-6503 (테이블), 3-7
신호 케이블 설명
PCI-DIO-96 및 PXI-6508 (테이블), 3-4
최대 등급 초과 (주의), 3-1
케이블 어셈블리 커넥터 핀출력 (그림)
핀 1 ~ 50, 3-3
포트 C 핀 할당
모드 1 입력 (그림), B-22
모드 1 출력 (그림), B-25
핀 할당
PCI-6503 (그림), 3-6
PCI-DIO-96 및 PXI-6508 (그림), 3-2
IBF 신호 설명 (테이블), 4-4

IBFA 비트
모드 1 스트로브 입력 설명, B-21
모드 2 양방향 버스 설명, B-27
IBFB 비트 설명, B-21
INTE1 비트 설명, B-27
INTE2 비트 설명, B-27
INTEA 비트
모드 1 스트로브 입력 설명, B-21
모드 1 스트로브 출력 설명, B-24
INTEB 비트
모드 1 스트로브 입력 설명, B-21
모드 1 스트로브 출력 설명, B-24
INTEN 비트 설명, B-12
INTR 신호 설명 (테이블), 4-4
INTRA 비트
모드 1 스트로브 입력 설명, B-21
모드 1 스트로브 출력 설명, B-24
모드 2 양방향 버스 설명, B-27
INTRB 비트
모드 1 스트로브 입력 설명, B-22
모드 1 스트로브 출력 설명, B-25

M

MITE ASIC.PCI MITE ASIC 를 *보십시오*

N

National Instruments 지원 및 서비스, C-1
NI 지원 및 서비스, C-1

O

OBFB* 신호 설명 (테이블), 4-4
OBFA* 비트
모드 1 스트로브 출력 설명, B-24
모드 2 양방향 버스 설명, B-27
OBFB* 비트
모드 1 스트로브 출력 설명, B-24

P

PA<7..0> 신호 (테이블), 3-7
PB<7..0> 신호 (테이블), 3-7
PC<7..0> 신호 (테이블), 3-7

PCI 로컬 버스, 레지스터 레벨 프로그래밍, B-14

PCI 인터페이스 회로, 4-2

PCI 초기화, B-15

PCI-6503, 3-6

 I/O 커넥터 핀 할당 (그림), 3-6

 신호 연결 설명 (테이블), 3-7

PCI-DIO-96

 인터럽트 클리어 레지스터, B-13

 포장 풀기, 1-4

PCI-DIO-96 및 PXI-6508

 I/O 커넥터, 3-1

 신호 케이블 설명 (테이블), 3-4

 커넥터 핀 할당, (그림), 3-2

PCI-DIO-96/PCI-6503

 하드웨어 설치, 2-1

PCI-DIO-96/PXI-6508/PCI-6503 보드

 개요, 1-1

 블록다이어그램 (그림), 4-2

 사용자 지정 케이블 연결, 1-3

 설정, 2-2

 시작하기 위해 필요한 사항, 1-2

 추가 장비, 1-3

 포장 풀기, 1-4

PXI-6508

 인터럽트 클리어 레지스터, B-13

 하드웨어 설치, 2-2

PXI 와 호환가능한 제품, CompactPCI 와 함께 사용하기, 1-2

R

RD* 신호 설명 (테이블), 4-4

S

STB* 신호 설명 (테이블), 4-4

W

WR* 신호 설명 (테이블), 4-4

ㄱ

관련 문서, x

교육 및 인증 (NI 리소스), C-1

교정 확인증 (NI 리소스), C-1

기술 지원, C-1

기술지원 데이터베이스, C-1

ㄴ

도움말

 기술 지원, C-1

드라이버 (NI 리소스), C-1

디지털 I/O 스펙, A-1

디지털 I/O 신호 연결, 3-8

 블록다이어그램 (그림), 3-9

디지털 I/O 전원 가동 상태 선택, 3-10

 로우 DIO, 3-11

 하이 DIO, 3-10

디지털 로직 레벨

 입력 신호, A-1

 출력 신호, A-2

디지털 로직 레벨 스펙, A-1

ㄷ

레지스터

 82C53 레지스터 그룹

 레지스터 주소 맵 (테이블), B-5

 인터럽트 컨트롤 레지스터 1, B-10

 인터럽트 컨트롤 레지스터 2, B-12

 인터럽트 클리어 레지스터, B-13

 컨트롤 워드 포맷 (그림), B-9

 82C55A 레지스터 그룹

 레지스터 주소 맵 (테이블), B-5

 설정 / 리셋 컨트롤 워드 (테이블), B-8

 컨트롤 워드 포맷 (그림), B-7

 레지스터 주소 맵 (테이블), B-5

레지스터 레벨 프로그래밍, B-1, B-14

 82C55A 작동 모드, B-17

 PCI 로컬 버스, B-14

 PCI 초기화, B-15

모드 0 (기본 I/O), B-18
 I/O 설정 (테이블), B-18
 프로그래밍 예 , B-19
 모드 1 스트로브 입력 , B-19
 I/O 커넥터의 포트 C 핀 할당 (그림), B-22
 입력에 대한 포트 C 상태 - 워드 비트 정의 , B-21
 포트 A 를 설정하기 위한 컨트롤 워드 (그림), B-19
 포트 B 를 설정하기 위한 컨트롤 워드 (그림), B-20
 프로그래밍 예 , B-22
 모드 1 스트로브 출력 , B-23
 I/O 커넥터의 포트 C 핀 할당 (그림), B-25
 출력용 포트 C 상태 - 워드 비트 정의 , B-24
 포트 A 를 설정하기 위한 컨트롤 워드 (그림), B-23
 포트 B 를 설정하기 위한 컨트롤 워드 (그림), B-23
 프로그래밍 예 , B-25
 모드 2 양방향 버스 , B-26
 I/O 커넥터의 포트 C 핀 할당 (그림), B-28
 포트 A 를 설정하기 위한 컨트롤 워드 (그림), B-26
 포트 C 상태 - 워드 비트 정의 , B-27
 프로그래밍 예 , B-28
 예 , B-14, B-29
 PCI 초기화 , B-15
 모드 0 (기본 I/O), B-19
 모드 1 스트로브 입력 , B-22
 모드 1 스트로브 출력 , B-25
 모드 2 양방향 버스 , B-28
 인터럽트 처리
 82C53, B-31
 모드 1 스트로브 입력 , B-29
 모드 1 스트로브 출력 , B-30
 모드 2 양방향 버스 , B-30

인터럽트 처리 , B-29
 프로그래밍 예
 82C53, B-31
 82C55A, B-29
 프로그래밍 예 , B-14
 로우 DIO 전원 가동 상태 , 3-11
 그림 , 3-12

□

매뉴얼에서 사용되는 표기법 , ix
 모드 0 (기본 I/O)
 I/O 설정 (테이블), B-18
 프로그래밍 고려사항 , B-17
 프로그래밍 예 , B-19
 모드 1 입력
 스트로브 I/O 프로그래밍 고려사항 , B-17
 I/O 커넥터의 포트 C 핀 할당 (그림), B-22
 입력에 대한 포트 C 상태 - 워드 비트 정의 , B-21
 포트 A 를 설정하기 위한 컨트롤 워드 (그림), B-19
 포트 B 를 설정하기 위한 컨트롤 워드 (그림), B-20
 프로그래밍 예 , B-22
 인터럽트 프로그래밍 예 , B-29
 타이밍 , 4-5
 모드 1 출력
 스트로브 출력 프로그래밍 고려사항 , B-23
 I/O 커넥터의 포트 C 핀 할당 (그림), B-25
 출력용 포트 C 상태 - 워드 비트 정의 , B-24
 포트 A 를 설정하기 위한 컨트롤 워드 (그림), B-23
 포트 B 를 설정하기 위한 컨트롤 워드 (그림), B-23
 프로그래밍 예 , B-25
 인터럽트 프로그래밍 예 , B-30
 프로그래밍 고려사항 , B-17
 모드 2 양방향 버스
 인터럽트 프로그래밍 예 , B-30

프로그래밍 고려사항 , B-26
 I/O 커넥터의 포트 C 핀 할당 (그림),
 B-28
 포트 A 를 설정하기 위한 컨트롤 워드
 (그림), B-26
 포트 C 상태 - 워드 비트 정의 , B-27
 프로그래밍 예 , B-28

문서
 NI 리소스 , C-1
 관련 문서 , x
 문제해결 (NI 리소스) , C-1
 물리적 스펙 , A-3

ㅁ

버스 인터페이스 스펙 , A-3
 보드 설정 , 2-2
 비트 설명
 포트 C 상태 - 워드 비트 정의를 보십시오
 AIRQ0, B-11
 AIRQ1, B-11
 BIRQ0, B-11
 BIRQ1, B-11
 CIRQ0, B-11
 CIRQ1, B-10
 CTR1, B-12
 CTRIRQ, B-12
 DIRQ0, B-10
 DIRQ1, B-10
 INTEN, B-12
 모드 1 스트로브 입력
 I/O, B-21
 IBFA, B-21
 IBFB, B-21
 INTEA, B-21
 INTEB, B-21
 INTRA, B-21
 INTRB, B-22
 모드 1 스트로브 출력
 I/O, B-24
 INTEA, B-24
 INTEB, B-24
 INTRA, B-24
 INTRB, B-25

OBFA*, B-24
 OBFB*, B-24
 모드 2 양방향 버스
 I/O, B-27
 IBFA, B-27
 INTE1, B-27
 INTE2, B-27
 INTRA, B-27
 OBFA*, B-27

ㄴ

사용자 지정 케이블 연결 , 1-3
 설정 , 2-1
 보드 설정 , 2-2
 설정 / 리셋 컨트롤 워드 (테이블), B-8
 설치
 PCI-DIO-96 의 포장 풀기 , 1-4
 소프트웨어 , 2-1
 하드웨어 , 2-1
 소프트웨어
 설치 , 2-1
 소프트웨어 (NI 리소스) , C-1
 스펙
 디지털 I/O, A-1
 디지털 로직 레벨 , A-1
 입력 신호 (테이블), A-1
 출력 신호 (테이블), A-2
 물리적 , A-3
 버스 인터페이스 , A-3
 안전성 , A-5
 전송 속도 , A-3
 전원 요구사항 , A-3
 전자파 지침 , A-5
 환경 , A-4
 신호 연결
 I/O 커넥터
 PCI-6503 커넥터 핀 할당 (그림), 3-6
 PCI-DIO-96 및 PXI-6508 커넥터 핀 할
 당 (그림), 3-2
 케이블 어셈블리 커넥터 핀출력
 핀 1 ~ 50 (그림), 3-3
 디지털 I/O, 3-8
 블록다이어그램 (그림), 3-9

디지털 로직 레벨, A-1
 입력 신호 (테이블), A-1
 출력 신호 (테이블), A-2
 신호 설명
 PCI-6503 (테이블), 3-7
 PCI-DIO-96 및 PXI-6508 핀 할당 (테이블), 3-4
 전원 연결, 3-10
 타이밍 스펙, 4-4
 모드 1 입력 타이밍, 4-5
 모드 1 출력 타이밍, 4-6
 모드 2 양방향 타이밍, 4-7
 타이밍 다이어그램에 사용되는 신호 이름 (테이블), 4-4

O

안전성 스펙, A-5
 연결, 전원, 3-10
 예제 (NI 리소스), C-1
 웹 리소스, C-1
 인스트루먼트 드라이버 (NI 리소스), C-1
 인터럽트 처리, B-29
 82C53 프로그래밍 예, B-31
 82C55A 프로그래밍 예, B-29
 인터럽트 컨트롤 레지스터
 레지스터 설명, B-10
 인터럽트 컨트롤 레지스터 그룹
 레지스터 주소 맵 (테이블), B-5
 인터럽트 컨트롤 레지스터 1, B-10
 인터럽트 컨트롤 레지스터 2, B-12
 인터럽트 클리어 레지스터, B-13
 인터럽트 컨트롤 회로
 블록다이어그램 (그림), B-3
 작동 이론, B-2
 인터럽트 프로그래밍 예
 82C53, B-31
 82C55A, B-29
 인터페이스 회로, PCI, 4-2

ㅈ

작동 이론
 82C53 프로그램 가능한 간격 타이머, B-2
 82C55A PPI (programmable peripheral interface), 4-3
 PCI 인터페이스 회로, 4-2
 PCI-DIO-96/PXI-6508/PCI-6503 블록다이어그램 (그림), 4-2
 인터럽트 컨트롤 회로, B-2
 블록다이어그램 (그림), B-3
 장비, 추가, 1-3
 적합 선언 (NI 리소스), C-1
 전송 속도 스펙, A-3
 전원 가동 상태 선택, 디지털 I/O 전원 가동 상태 선택을 보십시오.
 전원 연결, 3-10
 전원 요구사항 스펙, A-3
 전자파 적합성 스펙, A-5
 지원
 기술, C-1
 진단 도구 (NI 리소스), C-1

ㅊ

추가 장비, 1-3

ㅋ

커넥터, 케이블 어셈블리, 3-3
 컨트롤 워드
 82C53 레지스터 그룹
 포맷 (그림), B-9
 82C55A 레지스터 그룹
 포맷 (그림), B-7
 포트 C 설정 / 리셋 (테이블), B-8
 모드 1 스트로브 입력
 포트 A 설정 (그림), B-19
 포트 B 설정 (그림), B-20
 모드 1 스트로브 출력
 포트 A 설정 (그림), B-23
 포트 B 설정 (그림), B-23
 모드 2 양방향 버스 (그림), B-26
 케이블 어셈블리 커넥터, 3-3
 케이블 연결, 사용자 지정, 1-3

E

타이밍 스펙, 4-4
 모드 1 입력 타이밍, 4-5
 모드 1 출력 타이밍, 4-6
 모드 2 양방향 타이밍, 4-7
 타이밍 다이어그램에 사용되는 신호 이름
 (테이블), 4-4

F

포트 C 상태 - 워드 비트 정의
 모드 1 스트로브 입력
 I/O, B-21
 IBFA, B-21
 IBFB, B-21
 INTEA, B-21
 INTEB, B-21
 INTRA, B-21
 INTRB, B-22

모드 1 스트로브 출력
 I/O, B-24
 INTEA, B-24
 INTEB, B-24
 INTRA, B-24
 INTRB, B-25
 OBFA*, B-24
 OBFB*, B-24

모드 2 양방향 버스
 I/O, B-27
 IBFA, B-27
 INTE1, B-27
 INTE2, B-27
 INTRA, B-27
 OBFA*, B-27

포트 C 핀 할당
 I/O 커넥터
 모드 1 입력 (그림), B-22
 모드 1 출력 (그림), B-25
 모드 2 양방향 버스 (그림), B-28

개요, 3-7
 모드 설정, 3-8
 모드와 핸드셰이킹 용어에 대한 상관 관계
 (테이블), 3-8

프로그래밍 예

레지스터 레벨 프로그래밍, B-14
 모드 0 (기본 I/O), B-19
 모드 1 스트로브 입력, B-22
 모드 1 스트로브 출력, B-25
 모드 2 양방향 버스, B-28
 인터럽트 프로그래밍, B-31
 모드 1 스트로브 입력, B-29
 모드 1 스트로브 출력, B-30
 모드 2 양방향 버스, B-30

프로그래밍 예제 (NI 리소스), C-1
 프로그래밍 . 레지스터 레벨 프로그래밍을 보십시오.

핀 할당

PCI-6503 I/O 커넥터 (그림), 3-6
 PCI-DIO-96 및 PXI-6508 (그림), 3-2
 케이블 어셈블리 커넥터 핀출력
 핀 1 ~ 50 (그림), 3-3

능**하드웨어 설치**

PCI-DIO-96/PCI-6503, 2-1
 PXI-6508, 2-2

포장 풀기, 1-4

하이 DIO 전원 가동 상태, 3-10
 그림, 3-11

환경 스펙, A-4